

Docket No.: 57454-280

4 / Priority Doc.
E. Willis
3-8-02

PATENT

1c872 U.S. PTO
09/986583
11/09/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Tsukasa OOISHI

Serial No.:

Group Art Unit:

Filed: November 09, 2001

Examiner:

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE CAPABLE OF SELF-
TESTING INTERNAL POWER SUPPLY CURRENTS PROVIDED TO INTERNAL
CIRCUITS INTEGRATED ON CHIP

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

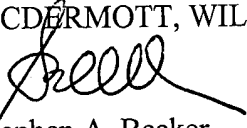
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2001-172187(P), filed June 7, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:mlw
Date: November 9, 2001
Facsimile: (202) 756-8087

57434-280
Takaen OORSHI
November 9, 2001

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月 7日

出 願 番 号

Application Number:

特願2001-172187

出 願 人

Applicant(s):

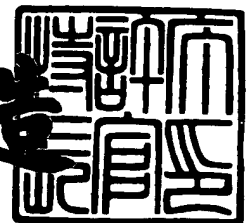
三菱電機株式会社

JC8721 U.S. P.
09/986583
11/09/01

2001年 6月20日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3058240

【書類名】 特許願

【整理番号】 531000JP01

【提出日】 平成13年 6月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 大石 司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置および試験装置

【特許請求の範囲】

【請求項 1】 半導体基板の主表面上に形成される半導体集積回路装置であって、

前記主表面上に形成される複数の内部回路と、

前記複数の内部回路に前記半導体集積回路装置の外部から供給される第 1 の外部電源電位を供給するための第 1 の電源配線と、

前記複数の内部回路に前記半導体集積回路装置の外部から供給される第 2 の外部電源電位を供給するための第 2 の電源配線と、

前記複数の内部回路のうち所定の内部回路と前記第 2 の電源配線との間に設けられ、前記第 2 の外部電源電位のレベルを変換して内部電源電位を前記所定の内部回路に供給するための内部電源回路と、

前記半導体集積回路装置の自己試験を行うための試験回路とを備え、

前記試験回路は、前記内部電源回路が前記所定の内部回路に供給する電流量を検知するための測定回路を含み、

前記検知結果を、前記半導体集積回路装置の外部に出力するためのデータ出力回路をさらに備える、半導体集積回路装置。

【請求項 2】 前記内部電源回路は、

前記所定の内部回路の動作時に、前記所定の内部回路の電源供給ノードに対して第 1 の電流供給能力で前記内部電源電位を供給するための第 1 の電圧変換回路と、

前記所定の内部回路の前記動作時、待機時およびテスト動作時に、前記電源供給ノードに対して前記第 1 の電流供給能力よりも小さい第 2 の電流供給能力で前記内部電源電位を供給するための第 2 の電圧変換回路とを含み、

前記測定回路は、前記テスト動作時において、前記第 1 の電圧変換回路を停止させて、前記電源供給ノードの電位レベルの変化を検出することで前記電流量の検知を行なう、請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記測定回路は、前記テスト動作時において、前記電源供給

ノードの電位レベルを所定の基準電位と比較することで、前記電流量の検知を行なう比較回路を含む、請求項 2 記載の半導体集積回路装置。

【請求項 4】 前記試験回路は、前記テスト動作において前記測定回路の検知結果を格納するための記憶回路をさらに含み、

前記データ出力回路は、前記記憶回路に格納された前記検知結果を出力する、請求項 3 記載の半導体集積回路装置。

【請求項 5】 前記記憶回路は、通常動作において、前記内部回路から外部に出力されるデータを格納する、請求項 4 記載の半導体集積回路装置。

【請求項 6】 前記複数の内部回路は、通常動作において前記半導体集積回路装置の外部から与えられたデータを格納するためのメモリ回路を含み、

前記メモリ回路は、テスト動作において前記測定回路の検知結果を格納し、

前記データ出力回路は、前記メモリ回路に格納された前記検知結果を出力する、請求項 3 記載の半導体集積回路装置。

【請求項 7】 前記内部電源回路は、

前記所定の内部回路の動作時に、前記所定の内部回路の電源供給ノードに対して第 1 の電流供給能力で前記内部電源電位を供給するための電圧変換回路を含み、

前記試験回路は、

テスト動作時に、前記電源供給ノードに対して第 2 の電流供給能力で電源電流を供給するための基準電流発生回路をさらに含み、

前記測定回路は、前記テスト動作時において、前記電圧変換回路を停止させて、前記電源供給ノードの電位レベルの変化を検出することで前記電流量の検知を行なう、請求項 1 記載の半導体集積回路装置。

【請求項 8】 前記基準電流発生回路は、

前記基準電流発生回路からの前記電源電流値を前記半導体集積回路装置の外部から制御するための入力端子と、

前記入力端子に与えられる信号に応じて、前記電源電流値を変化させるための電流発生回路とを含む、請求項 7 記載の半導体集積回路装置。

【請求項 9】 前記電源電流値は、複数の段階にわたって変化され、

前記測定回路は、段階的に変化する前記電源電流値の各々の値における前記電源供給ノードの電位レベルと基準電位との比較を行なうことで、前記電流量の検知を行なう、請求項 8 記載の半導体集積回路装置。

【請求項 1 0】 前記試験回路は、

前段階の電源電流値での前記測定回路の比較結果と現段階での電源電流値での前記測定回路の比較結果とをそれぞれ保持するための第 1 および第 2 の保持回路と、

前記第 1 および第 2 の保持回路に保持された比較結果に基づいて、前記比較結果の変化点の検出を行なう論理回路とを含む、請求項 9 記載の半導体集積回路装置。

【請求項 1 1】 前記論理回路は、

前記第 1 および第 2 の保持回路に保持された比較結果に対して排他的論理和演算を行なう排他的論理和演算回路を含む、請求項 1 0 記載の半導体集積回路装置。

【請求項 1 2】 前記試験回路は、

前記複数の段階にわたって変化される前記電源電流値を符号化する符号化回路を含む、請求項 1 0 記載の半導体集積回路装置。

【請求項 1 3】 前記複数の内部回路は、通常動作において前記半導体集積回路装置の外部から与えられたデータを格納するためのメモリ回路を含み、

前記試験回路は、テスト動作において前記論理回路の検出結果に応じて、前記符号化された前記電源電流値を前記メモリ回路に格納するための伝達回路をさらに含む、請求項 1 2 記載の半導体集積回路装置。

【請求項 1 4】 半導体基板の主表面上に形成される半導体集積回路装置であって、

前記主表面上に形成される複数の内部回路と、

前記複数の内部回路に前記半導体集積回路装置の外部から供給される第 1 の外部電源電位を供給するための第 1 の電源配線と、

前記複数の内部回路に前記半導体集積回路装置の外部から供給される第 2 の外部電源電位を供給するための第 2 の電源配線と、

前記複数の内部回路のうち所定の内部回路と前記第 2 の電源配線との間に設けられ、前記所定の内部回路に対する内部電源電位の供給を制御するための内部電源供給制御回路と、

前記半導体集積回路装置の自己試験を行うための試験回路とを備え、

前記試験回路は、前記第 2 の電源配線から前記所定の内部回路に供給される電流量を検知するための測定回路を含み、

前記検知結果を、前記半導体集積回路装置の外部に出力するためのデータ出力回路をさらに備える、半導体集積回路装置。

【請求項 1 5】 前記内部電源供給制御回路は、前記第 2 の外部電源電位のレベルを変換した内部電源電位を前記所定の内部回路の電源供給ノードへ選択的に供給することが可能な内部電源回路を含む、請求項 1 4 記載の半導体集積回路装置。

【請求項 1 6】 前記内部電源供給制御回路は、前記第 2 の電源配線から前記所定の内部回路の電源供給ノードへの電位供給を選択的行なうことが可能なスイッチ回路を含む、請求項 1 4 記載の半導体集積回路装置。

【請求項 1 7】 前記試験回路は、

テスト動作時に、前記電源供給ノードに対して可変な電流供給量で電源電流を供給するための基準電流発生回路とを含み、

前記測定回路は、前記テスト動作時において、前記内部電源供給制御回路からの前記電源供給ノードへの電位供給を停止させて、前記電源供給ノードの電位レベルの変化を検出することで前記電流量の検知を行なう、請求項 1 4 記載の半導体集積回路装置。

【請求項 1 8】 前記基準電流発生回路は、

所定の参照電位を生成するための参照電位発生回路と、

一方端が所定電位と結合する可変抵抗と、

前記他方端の電位と前記所定の参照電位との比較結果に応じて、前記電源電流を生成する電流源回路とを含む、請求項 1 7 記載の半導体集積回路装置。

【請求項 1 9】 前記試験回路は、

前記テスト動作において、前記電源電流値を複数の段階にわたって変化させる

試験制御回路をさらに含み、

前記測定回路は、段階的に変化する前記電源電流値の各々の値における前記電源供給ノードの電位レベルと基準電位との比較を行なうことで、前記電流量の検知を行なう、請求項 1 8 記載の半導体集積回路装置。

【請求項 2 0】 前記試験回路は、

前段階の電源電流値での前記測定回路の比較結果と現段階での電源電流値での前記測定回路の比較結果とをそれぞれ保持するための第 1 および第 2 の保持回路と、

前記第 1 および第 2 の保持回路に保持された比較結果に基づいて、前記比較結果の変化点の検出を行なう論理回路とを含む、請求項 1 9 記載の半導体集積回路装置。

【請求項 2 1】 前記論理回路は、

前記第 1 および第 2 の保持回路に保持された比較結果に対して排他的論理和演算を行なう排他的論理和演算回路を含む、請求項 2 0 記載の半導体集積回路装置。

【請求項 2 2】 前記試験回路は、

前記複数の段階にわたって変化される前記電源電流値を符号化する符号化回路を含む、請求項 2 0 記載の半導体集積回路装置。

【請求項 2 3】 前記複数の内部回路は、通常動作において前記半導体集積回路装置の外部から与えられたデータを格納するためのメモリ回路を含み、

前記試験回路は、テスト動作において前記論理回路の検出結果に応じて、前記符号化された前記電源電流値を前記メモリ回路に格納するための伝達回路をさらに含む、請求項 2 2 記載の半導体集積回路装置。

【請求項 2 4】 半導体基板の主表面上に形成される半導体集積回路装置であって、

前記主表面上に形成される複数の内部回路と、

前記複数の内部回路に前記半導体集積回路装置の外部から供給される第 1 の外部電源電位を供給するための第 1 の電源配線と、

前記複数の内部回路に前記半導体集積回路装置の外部から供給される第 2 の外

部電源電位を供給するための第 2 の電源配線と、

前記複数の内部回路のうち所定の内部回路と前記第 2 の電源配線との間に設けられ、前記所定の内部回路に対する内部電源電位の供給を制御するための内部電源供給制御回路と、

前記半導体集積回路装置の自己試験を行うための試験回路とを備え、

前記試験回路は、前記第 2 の電源配線から前記所定の内部回路に供給される電流量を検知するための測定回路を含み、

前記検知結果に応じて、前記内部電源供給制御回路から前記所定の内部回路の電源供給ノードへの電位供給を停止する遮断回路をさらに備える、半導体集積回路装置。

【請求項 2 5】 前記内部電源供給制御回路は、前記遮断回路に制御されて、前記第 2 の外部電源電位のレベルを変換した内部電源電位を前記所定の内部回路の電源供給ノードへ選択的に供給することが可能な内部電源回路を含む、請求項 2 4 記載の半導体集積回路装置。

【請求項 2 6】 前記内部電源供給制御回路は、前記遮断回路に制御されて、前記第 2 の電源配線から前記所定の内部回路の電源供給ノードへの電位供給を選択的に行なうことが可能なスイッチ回路を含む、請求項 2 4 記載の半導体集積回路装置。

【請求項 2 7】 複数の半導体集積回路装置を一括して試験するための試験装置であって、

前記複数の半導体集積回路装置に共通に設けられ、前記複数の半導体集積回路装置との間で信号の授受を行なうための信号配線と、

前記複数の半導体集積回路装置に共通に設けられ、第 1 の外部電源電位を供給するための第 1 の電源配線と、

前記複数の半導体集積回路装置に共通に設けられ、第 2 の外部電源電位を供給するための第 2 の電源配線と、

前記複数の半導体集積回路装置の各々と前記第 2 の電源配線との間に設けられ、前記半導体集積回路装置に対する前記第 2 の電源電位の供給を制御するための電源供給制御回路と、

各前記半導体集積回路装置に対応して設けられ、前記第 2 の電源配線から前記対応する半導体集積回路装置に供給される電流量を検知するための試験回路と、

各前記半導体集積回路装置に対応して設けられ、前記試験回路の検知結果に応じて、前記電源供給制御回路からの前記半導体集積回路装置への電位供給を停止する遮断回路とを備える、試験装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体集積回路装置および半導体集積回路装置に対する試験装置の構成に関し、より特定的には、半導体集積回路装置に搭載される内部回路へ供給される電流値をテストするための構成に関する。

【0002】

【従来の技術】

従来、1チップ上に1つの機能を有する回路が搭載されている場合には、半導体集積回路装置の動作電流等の試験は、外部のテストにより半導体集積回路装置において消費される電流や動作電圧等をモニタすることによりテストが行なわれていた。

【0003】

一方で、半導体集積回路装置により構成されるシステム的高速化および高機能化を目的として、1チップ上に複数の機能を有する回路群を集積化したいいわゆるシステム L S I (Large Scale Integrated circuit) が多数実現されている。

【0004】

【発明が解決しようとする課題】

ところが、上述したように、1チップ上に、それぞれ機能の異なる複数の内部回路が搭載されている場合、各内部回路ごとに、動作電圧が異なる場合が存在する。

【0005】

すなわち、たとえば、上記複数の内部回路のうち、ある回路は、外部から供給される電源電圧を内部電源回路により降圧した電圧によって動作する回路であっ

たり、他の内部回路は、内部電源電圧のままの電圧で動作する回路であったりする。この場合、半導体集積回路装置の外部から単純に動作電流や動作電圧をモニタするのみでは、各機能を有する内部回路の各々の動作が正常であるか否かを正確に判定することが困難であるという問題点が存在していた。

【0006】

この発明は、上記のような問題点を解決するためになされたものであって、その目的は、1チップ上に機能の異なる複数の内部回路が搭載され、かつ、内部回路によって動作電圧が異なる場合においても、各内部回路の動作を正確に評価することが可能なテスト機能を有する半導体集積回路装置を提供することである。

【0007】

【課題を解決するための手段】

請求項1記載の半導体集積回路装置は、半導体基板の主表面上に形成される半導体集積回路装置であって、主表面上に形成される複数の内部回路と、複数の内部回路に半導体集積回路装置の外部から供給される第1の外部電源電位を供給するための第1の電源配線と、複数の内部回路に半導体集積回路装置の外部から供給される第2の外部電源電位を供給するための第2の電源配線と、複数の内部回路のうち所定の内部回路と第2の電源配線との間に設けられ、第2の外部電源電位のレベルを変換して内部電源電位を所定の内部回路に供給するための内部電源回路と、半導体集積回路装置の自己試験を行うための試験回路とを備え、試験回路は、内部電源回路が所定の内部回路に供給する電流量を検知するための測定回路を含み、検知結果を、半導体集積回路装置の外部に出力するためのデータ出力回路をさらに備える。

【0008】

請求項2記載の半導体集積回路装置は、請求項1記載の半導体集積回路装置の構成に加えて、内部電源回路は、所定の内部回路の動作時に、所定の内部回路の電源供給ノードに対して第1の電流供給能力で内部電源電位を供給するための第1の電圧変換回路と、所定の内部回路の動作時、待機時およびテスト動作時に、電源供給ノードに対して第1の電流供給能力よりも小さい第2の電流供給能力で内部電源電位を供給するための第2の電圧変換回路とを含み、測定回路は、テス

ト動作時において、第 1 の電圧変換回路を停止させて、電源供給ノードの電位レベルの変化を検出することで電流量の検知を行なう。

【 0 0 0 9 】

請求項 3 記載の半導体集積回路装置は、請求項 2 記載の半導体集積回路装置の構成に加えて、測定回路は、テスト動作時において、電源供給ノードの電位レベルを所定の基準電位と比較することで、電流量の検知を行なう比較回路を含む。

【 0 0 1 0 】

請求項 4 記載の半導体集積回路装置は、請求項 3 記載の半導体集積回路装置の構成に加えて、試験回路は、テスト動作において測定回路の検知結果を格納するための記憶回路をさらに含み、データ出力回路は、記憶回路に格納された検知結果を出力する。

【 0 0 1 1 】

請求項 5 記載の半導体集積回路装置は、請求項 4 記載の半導体集積回路装置の構成に加えて、記憶回路は、通常動作において、内部回路から外部に出力されるデータを格納する。

【 0 0 1 2 】

請求項 6 記載の半導体集積回路装置は、請求項 3 記載の半導体集積回路装置の構成に加えて、複数の内部回路は、通常動作において半導体集積回路装置の外部から与えられたデータを格納するためのメモリ回路を含み、メモリ回路は、テスト動作において測定回路の検知結果を格納し、データ出力回路は、メモリ回路に格納された検知結果を出力する。

【 0 0 1 3 】

請求項 7 記載の半導体集積回路装置は、請求項 1 記載の半導体集積回路装置の構成に加えて、内部電源回路は、所定の内部回路の動作時に、所定の内部回路の電源供給ノードに対して第 1 の電流供給能力で内部電源電位を供給するための電圧変換回路を含み、試験回路は、テスト動作時に、電源供給ノードに対して第 2 の電流供給能力で電源電流を供給するための基準電流発生回路をさらに含み、測定回路は、テスト動作時において、電圧変換回路を停止させて、電源供給ノードの電位レベルの変化を検出することで電流量の検知を行なう。

【 0 0 1 4 】

請求項 8 記載の半導体集積回路装置は、請求項 7 記載の半導体集積回路装置の構成に加えて、基準電流発生回路は、基準電流発生回路からの電源電流値を半導体集積回路装置の外部から制御するための入力端子と、入力端子に与えられる信号に応じて、電源電流値を変化させるための電流発生回路とを含む。

【 0 0 1 5 】

請求項 9 記載の半導体集積回路装置は、請求項 8 記載の半導体集積回路装置の構成に加えて、電源電流値は、複数の段階にわたって変化され、測定回路は、段階的に変化する電源電流値の各々の値における電源供給ノードの電位レベルと基準電位との比較を行なうことで、電流量の検知を行なう。

【 0 0 1 6 】

請求項 1 0 記載の半導体集積回路装置は、請求項 9 記載の半導体集積回路装置の構成に加えて、試験回路は、前段階の電源電流値での測定回路の比較結果と現段階での電源電流値での測定回路の比較結果とをそれぞれ保持するための第 1 および第 2 の保持回路と、第 1 および第 2 の保持回路に保持された比較結果に基づいて、比較結果の変化点の検出を行なう論理回路とを含む。

【 0 0 1 7 】

請求項 1 1 記載の半導体集積回路装置は、請求項 1 0 記載の半導体集積回路装置の構成に加えて、論理回路は、第 1 および第 2 の保持回路に保持された比較結果に対して排他的論理和演算を行なう排他的論理和演算回路を含む。

【 0 0 1 8 】

請求項 1 2 記載の半導体集積回路装置は、請求項 1 0 記載の半導体集積回路装置の構成に加えて、試験回路は、複数の段階にわたって変化される電源電流値を符号化する符号化回路を含む。

【 0 0 1 9 】

請求項 1 3 記載の半導体集積回路装置は、請求項 1 2 記載の半導体集積回路装置の構成に加えて、複数の内部回路は、通常動作において半導体集積回路装置の外部から与えられたデータを格納するためのメモリ回路を含み、試験回路は、テスト動作において論理回路の検出結果に応じて、符号化された電源電流値をメモ

り回路に格納するための伝達回路をさらに含む。

【 0 0 2 0 】

請求項 1 4 記載の半導体集積回路装置は、半導体基板の主表面上に形成される半導体集積回路装置であって、主表面上に形成される複数の内部回路と、複数の内部回路に半導体集積回路装置の外部から供給される第 1 の外部電源電位を供給するための第 1 の電源配線と、複数の内部回路に半導体集積回路装置の外部から供給される第 2 の外部電源電位を供給するための第 2 の電源配線と、複数の内部回路のうち所定の内部回路と第 2 の電源配線との間に設けられ、所定の内部回路に対する内部電源電位の供給を制御するための内部電源供給制御回路と、半導体集積回路装置の自己試験を行うための試験回路とを備え、試験回路は、第 2 の電源配線から所定の内部回路に供給される電流量を検知するための測定回路を含み、検知結果を、半導体集積回路装置の外部に出力するためのデータ出力回路をさらに備える。

【 0 0 2 1 】

請求項 1 5 記載の半導体集積回路装置は、請求項 1 4 記載の半導体集積回路装置の構成に加えて、内部電源供給制御回路は、第 2 の外部電源電位のレベルを変換した内部電源電位を所定の内部回路の電源供給ノードへ選択的に供給することが可能な内部電源回路を含む。

【 0 0 2 2 】

請求項 1 6 記載の半導体集積回路装置は、請求項 1 4 記載の半導体集積回路装置の構成に加えて、内部電源供給制御回路は、第 2 の電源配線から所定の内部回路の電源供給ノードへの電位供給を選択的行なうことが可能なスイッチ回路を含む。

【 0 0 2 3 】

請求項 1 7 記載の半導体集積回路装置は、請求項 1 4 記載の半導体集積回路装置の構成に加えて、試験回路は、テスト動作時に、電源供給ノードに対して可変な電流供給量で電源電流を供給するための基準電流発生回路とを含み、測定回路は、テスト動作時において、内部電源供給制御回路からの電源供給ノードへの電位供給を停止させて、電源供給ノードの電位レベルの変化を検出することで電流

量の検知を行なう。

【 0 0 2 4 】

請求項 1 8 記載の半導体集積回路装置は、請求項 1 7 記載の半導体集積回路装置の構成に加えて、基準電流発生回路は、所定の参照電位を生成するための参照電位発生回路と、一方端が所定電位と結合する可変抵抗と、他方端の電位と所定の参照電位との比較結果に応じて、電源電流を生成する電流源回路とを含む。

【 0 0 2 5 】

請求項 1 9 記載の半導体集積回路装置は、請求項 1 8 記載の半導体集積回路装置の構成に加えて、試験回路は、テスト動作において、電源電流値を、複数の段階にわたって変化させる試験制御回路をさらに含み、測定回路は、段階的に変化する電源電流値の各々の値における電源供給ノードの電位レベルと基準電位との比較を行なうことで、電流量の検知を行なう。

【 0 0 2 6 】

請求項 2 0 記載の半導体集積回路装置は、請求項 1 9 記載の半導体集積回路装置の構成に加えて、試験回路は、前段階の電源電流値での測定回路の比較結果と現段階での電源電流値での測定回路の比較結果とをそれぞれ保持するための第 1 および第 2 の保持回路と、第 1 および第 2 の保持回路に保持された比較結果に基づいて、比較結果の変化点の検出を行なう論理回路とを含む。

【 0 0 2 7 】

請求項 2 1 記載の半導体集積回路装置は、請求項 2 0 記載の半導体集積回路装置の構成に加えて、論理回路は、第 1 および第 2 の保持回路に保持された比較結果に対して排他的論理和演算を行なう排他的論理和演算回路を含む。

【 0 0 2 8 】

請求項 2 2 記載の半導体集積回路装置は、請求項 2 0 記載の半導体集積回路装置の構成に加えて、試験回路は、複数の段階にわたって変化される電源電流値を符号化する符号化回路を含む。

【 0 0 2 9 】

請求項 2 3 記載の半導体集積回路装置は、請求項 2 2 記載の半導体集積回路装置の構成に加えて、複数の内部回路は、通常動作において半導体集積回路装置の

外部から与えられたデータを格納するためのメモリ回路を含み、試験回路は、テスト動作において論理回路の検出結果に応じて、符号化された電源電流値をメモリ回路に格納するための伝達回路をさらに含む。

【 0 0 3 0 】

請求項 2 4 記載の半導体集積回路装置は、半導体基板の主表面上に形成される半導体集積回路装置であって、主表面上に形成される複数の内部回路と、複数の内部回路に半導体集積回路装置の外部から供給される第 1 の外部電源電位を供給するための第 1 の電源配線と、複数の内部回路に半導体集積回路装置の外部から供給される第 2 の外部電源電位を供給するための第 2 の電源配線と、複数の内部回路のうち所定の内部回路と第 2 の電源配線との間に設けられ、所定の内部回路に対する内部電源電位の供給を制御するための内部電源供給制御回路と、半導体集積回路装置の自己試験を行うための試験回路とを備え、試験回路は、第 2 の電源配線から所定の内部回路に供給される電流量を検知するための測定回路を含み、検知結果に応じて、内部電源供給制御回路から所定の内部回路の電源供給ノードへの電位供給を停止する遮断回路をさらに備える。

【 0 0 3 1 】

請求項 2 5 記載の半導体集積回路装置は、請求項 2 4 記載の半導体集積回路装置の構成に加えて、内部電源供給制御回路は、遮断回路に制御されて、第 2 の外部電源電位のレベルを変換した内部電源電位を所定の内部回路の電源供給ノードへ選択的に供給することが可能な内部電源回路を含む。

【 0 0 3 2 】

請求項 2 6 記載の半導体集積回路装置は、請求項 2 4 記載の半導体集積回路装置の構成に加えて、内部電源供給制御回路は、遮断回路に制御されて、第 2 の電源配線から所定の内部回路の電源供給ノードへの電位供給を選択的に行なうことが可能なスイッチ回路を含む。

【 0 0 3 3 】

請求項 2 7 記載の試験装置は、複数の半導体集積回路装置を一括して試験するための試験装置であって、複数の半導体集積回路装置に共通に設けられ、複数の半導体集積回路装置との間で信号の授受を行なうための信号配線と、複数の半導

体集積回路装置に共通に設けられ、第 1 の外部電源電位を供給するための第 1 の電源配線と、複数の半導体集積回路装置に共通に設けられ、第 2 の外部電源電位を供給するための第 2 の電源配線と、複数の半導体集積回路装置の各々と第 2 の電源配線との間に設けられ、半導体集積回路装置に対する第 2 の電源電位の供給を制御するための電源供給制御回路と、各半導体集積回路装置に対応して設けられ、第 2 の電源配線から対応する半導体集積回路装置に供給される電流量を検知するための試験回路と、各半導体集積回路装置に対応して設けられ、試験回路の検知結果に応じて、電源供給制御回路からの半導体集積回路装置への電位供給を停止する遮断回路とを備える。

【 0 0 3 4 】

【発明の実施の形態】

〔実施の形態 1〕

以下、この発明の実施の形態を図面を用いて説明する。

【 0 0 3 5 】

図 1 は、この発明の実施の形態 1 の半導体集積回路装置 1 0 0 0 の回路構成を示す概略ブロック図である。

【 0 0 3 6 】

図 1 を参照して、半導体集積回路装置 1 0 0 0 は、外部からの制御信号を受取るための制御信号入力端子群 1 0 と、外部との間でデータの授受を行なうためのデータ入出力端子群 1 2 と、外部から外部電源電位 $e x t . V c c$ を受取るための電源端子 1 4 と、外部から接地電位 $V s s$ を受けるための接地端子 1 6 と、外部制御信号入力端子群 1 0 からの信号に基づいて、半導体集積回路装置の動作を制御するためのコントロール部 2 0 と、データ入出力端子群 1 2 を介して、外部との間でデータの授受を行なうためのデータ入出力部 3 0 と、コントロール部 2 0 により制御され、データ入出力部 3 0 との間でのデータ授受や相互間でのデータ授受を行なって、それぞれ所定のデータ処理を行なうための内部回路 1 0 0 . 1 ~ 1 0 0 . 9 と、電源端子 1 4 から各内部回路 1 0 0 . 1 ~ 1 0 0 . 9 に対して、外部電源電位 $e x t . V c c$ を伝達するための電源配線 $V C L$ と、接地端子 1 6 から、接地電位を各内部回路 1 0 0 . 1 ~ 1 0 0 . 9 に伝達するための接地

配線 V_{SL} とを備える。

【0037】

半導体集積回路装置 1000 は、さらに、内部回路 100.4 と電源配線 V_{CL} との間に設けられ、外部電源電位 $ext. V_{cc}$ を降圧して、内部回路 100.4 に供給するための内部電源回路 200 と、内部回路 100.6 と接地配線 V_{SL} との間に設けられ、接地電位 V_{ss} を所定の電位レベルだけ上昇させて内部回路 100.6 に供給するための内部電源回路 210 と、内部回路 100.8 と電源配線 V_{CL} との間に設けられ、外部電源電位 $ext. V_{cc}$ を所定の電位レベルに変換して内部回路 100.8 に与えるための内部電源回路 230 とを備える。

【0038】

なお、図 1 においては、内部回路は 100.1 ~ 100.9 の 9 個の回路群からなるものとしているが、本発明はこのような場合に限定されることなく、より多くの内部回路を含む場合や、より少ない内部回路を含む場合にも適用可能なものである。

【0039】

さらに、図 1 においては、内部回路 100.4、100.6 および 100.8 にのみ内部電源回路が設けられる構成となっているが、本発明はこのような場合に限定されることなく、内部電源回路 200、210 および 230 と同等の構成を有する内部電源回路が、他の内部回路に対応して設けられている構成であってもよいし、より一般的には、1 つの内部回路に対して、内部電源回路 200 または 230 と、内部電源回路 210 とが双方設けられる構成となってもよい。

【0040】

図 2 は、図 1 に示した構成のうち内部電源回路 200 の構成を説明するための回路図である。

【0041】

内部電源回路 200 は、外部電源電位 $ext. V_{cc}$ と接地電位 V_{ss} とを受けて動作し、外部電源電位 $ext. V_{cc}$ と接地電位 V_{ss} との間の所定の電位レベルを有する参照電位 V_{ref} を生成するための参照電位生成回路 202 と、

コントロール部20からの活性化信号ENに応じて活性化され、マイナス入力ノードに参照電位 V_{ref} を受ける比較器204と、外部電源電位 $ext.$ V_{cc} と内部ノード $n200$ との間に設けられ、ゲートに比較器204からの出力を受けるPチャネルMOSトランジスタTP200とを備える。

【0042】

内部ノード $n200$ は、比較器204のプラス入力ノードと結合し、この内部ノード $n200$ の電位レベルが内部電源電位 $int.$ V_{cc1} として内部回路100.4に与えられる。

【0043】

図3は、図1に示した内部電源回路210の構成を説明するための回路図である。

【0044】

内部電源回路210は、外部電源電位 $ext.$ V_{cc} と接地電位 V_{ss} とを受けて動作し、外部電源電位 $ext.$ V_{cc} と接地電位 V_{ss} との間の所定の電位レベルの参照電位 V_{ref2} を出力する参照電位生成回路212と、コントロール部20からの制御信号ENに応じて活性化し、プラス入力ノードに参照電位 V_{ref2} を受ける比較器214と、内部ノード $n210$ と接地電位 V_{ss} との間に設けられるNチャネルMOSトランジスタTN210とを備える。

【0045】

トランジスタTN210のゲートは比較器214の出力を受ける。ノード $n210$ は比較器214のマイナス入力ノードと結合し、このノード $n210$ の電位レベルが、レベル変換された接地電位として内部回路100.6に与えられる。

【0046】

図4は、図1に示した内部電源回路230の構成を説明するための回路図である。

【0047】

図4を参照して、内部電源回路230は、外部電源電位 $ext.$ V_{cc} と接地電位 V_{ss} とを受けて動作し、外部電源電位 $ext.$ V_{cc} と接地電位 V_{ss} との間の所定の電位レベルの参照電位 V_{ref3} を出力する参照電位生成回路23

2 と、内部回路 1 0 0 . 8 の動作期間中と待機期間中の双方において、内部電源電位を生成するための電圧変換回路 VDC 1 と、内部回路 1 0 0 . 8 の動作期間中において、内部電源電位を生成するための電圧変換回路 VDC 2 とを備える。

【 0 0 4 8 】

電圧変換回路 VDC 2 は、コントロール部 2 0 からの制御信号 CKE に応じて活性化され、マイナス入力ノードに参照電位 Vref 3 を受ける比較器 2 3 4 と、外部電源電位 ext. Vcc と内部ノード n 2 3 0 との間に設けられ、ゲートに比較器 2 3 4 の出力を受ける P チャネル MOS トランジスタ TP 2 3 0 とを備える。ノード n 2 3 0 は、比較器 2 3 0 のプラス入力ノードと結合する。

【 0 0 4 9 】

電圧変換回路 VDC 1 は、参照電位 Vref 3 をマイナス入力ノードに受ける比較器 2 3 6 と、外部電源電位 ext. Vcc と内部ノード n 2 3 0 との間に設けられ、ゲートに比較器 2 3 6 の出力を受ける P チャネル MOS トランジスタ TP 2 3 2 とを備える。ノード n 2 3 0 は、比較器 2 3 6 のプラス入力ノードとも結合する。また、トランジスタ TP 2 3 2 のサイズ（ゲート幅）は、トランジスタ TP 2 3 0 よりも小さいものとする。また、比較器 2 3 6 に対する設計パラメータは、比較器 2 3 4 に比べて、駆動力は小さくとも、消費電流が低くなるように設定されている。

【 0 0 5 0 】

ノード n 2 3 0 に、トランジスタ TP 2 3 0 および TP 2 3 2 により供給される電位によって、寄生抵抗 Cp および内部回路 1 0 0 . 8 とが駆動される。

【 0 0 5 1 】

ここで、信号 CKE は、内部回路 1 0 0 . 8 が非動作期間中においては非活性となる信号である。したがって、比較器 2 3 6 およびトランジスタ TP 2 3 2 は、電源が供給されている期間は、常時動作しているのに対し、比較器 2 3 4 とトランジスタ TP 2 3 0 とは、信号 CKE の活性期間のみ動作する。

【 0 0 5 2 】

したがって、内部回路 1 0 0 . 8 の待機期間中は、ノード n 2 3 0 の電位レベルを保持するために、消費電流の小さな比較器 2 3 6 およびトランジスタ TP 2

32のみが動作する。内部回路100.8の動作期間は、これに加えて、電流駆動力の大きな比較器234およびトランジスタTP230も動作する。このため、待機期間中においても動作電流を必要とする比較回路の消費する電流が、内部回路100.8の待機期間中において低減されるという効果がある。

【0053】

図5は、図1に示したコントロール部20およびデータ入出力部30の構成の一部を抜き出して示す概略ブロック図である。

【0054】

コントロール部20は、制御信号入力端子10から与えられる信号に応じて、ビルトインセルフテストの開始および終了を制御するための信号ならびに、通常動作において、内部回路100.1～100.9の動作を制御するための信号を出力する制御回路40と、制御回路40からの信号に応じてビルトインセルフテストを開始し、内部回路100.1～100.9との間でデータの授受を行なうことにより、セルフテストを行なうためのビルトインセルフテスト回路42と、ビルトインセルフテスト回路42により制御されて、内部電源回路200、210および230の動作電流値をテストするための内部電源テスト回路50とを備える。

【0055】

内部電源テスト回路50は、ビルトインセルフテスト42からの制御に従って、内部電源回路の測定動作を制御するための測定制御部52と、測定制御部52により制御されて、各内部電源回路200、210および230の供給する電源電流値を測定するための測定部54と、測定部54から、各内部電源回路の測定結果を受取って保持するためのラッチ回路56とを備える。

【0056】

内部電源回路の動作電流の測定が終了すると、ビルトインセルフテスト回路42からの指示に従って、データ入出力部30中の出力制御部34は、ラッチ回路56に保持されたテスト結果を受取って、入出力バッファ32を介して、そのテスト結果を外部に出力する。

【0057】

出力制御部 3 4 は、通常動作においては、内部回路 1 0 0 . 1 ~ 1 0 0 . 9 からの信号を受取って、それを入出力バッファ 3 2 に対して出力し、データ入出力端子 1 2 のうち所定の端子から内部回路 1 0 0 . 1 ~ 1 0 0 . 9 の出力データを外部に出力する。

【 0 0 5 8 】

以上のような構成とすることで、電源投入後のビルトインセルフテストの期間中において、内部回路に対応して設けられている内部電源回路の供給電流値に対するテスト結果を外部に出力することができる。したがって、異なる機能を有する複数の内部回路が 1 チップ上に設けられ、内部回路に応じて内部電源回路が設けられている場合でも、各内部回路に供給される内部電源電流値をセルフテストすることが可能となる。

【 0 0 5 9 】

〔実施の形態 1 の変形例〕

図 1 に示した実施の形態 1 の半導体集積回路装置 1 0 0 0 の構成においては、内部回路のうちの所定の内部回路に対して、内部電源回路 2 0 0、2 1 0 および 2 3 0 が設けられ、かつ内部回路 2 3 0 については、待機電流を減少させるために、内部電源電位を生成する回路を 2 系統有する構成となっていた。

【 0 0 6 0 】

待機電流をさらに低減させるためには、内部回路ごとに電源配線 V C L または接地電位 V S L との間にスイッチ回路を設ける構成とすることができる。

【 0 0 6 1 】

図 6 は、このような実施の形態 1 の変形例の内部回路群の構成を説明するための概略ブロック図である。

【 0 0 6 2 】

図 6 を参照して、内部回路 1 0 0 . 1 と、電源配線 V C L との間にはスイッチ回路 S W 1 0 が設けられる。内部回路 1 0 0 . 2 と接地配線 V S L との間には、スイッチ回路 S W 1 2 が設けられる。

【 0 0 6 3 】

他の内部回路についても、図 6 に示すように、必要に応じて内部回路と電源配

線VCLとの間、または内部回路と接地配線VSLとの間にスイッチ回路が設けられている。

【0064】

対応する内部回路の非動作時には、これらスイッチ回路SW10～SW24は、コントロール回路20の制御に応じて、遮断状態とされる。

【0065】

この結果、待機動作中の消費電力が一層低減されるという効果がある。

図7は、図6に示したスイッチ回路のうち、電源配線VCLと内部回路との間に設けられるスイッチ回路、たとえばスイッチ回路SW10の構成を説明するための回路図である。

【0066】

スイッチ回路SW10は、外部電源電位ext. Vccと内部回路との間に設けられるPチャネルMOSトランジスタTP10を備える。トランジスタTP10のゲートは、コントロール回路20から出力され、対応する内部回路が活性期間中において“L”レベルとなる信号/ENを受ける。

【0067】

図8は、内部回路と接地配線VSLとの間に設けられるスイッチ回路、たとえばスイッチ回路SW12の構成を説明するための回路図である。

【0068】

スイッチ回路SW12は、接地配線VSLと対応する内部回路との間に設けられるNチャネルMOSトランジスタTN10を備える。

【0069】

トランジスタTN10のゲートは、コントロール回路20から出力され、対応する内部回路が活性期間中において“H”レベルとなる制御信号ENを受ける。

【0070】

このような構成により、より一層待機電流が低減されかつ、ビルトインセルフテスト期間中においては、内部電源回路から供給される内部電源電流値をテストすることが可能であるために、内部電源からの電源電流値が非常に大きな内部回路を有する半導体集積回路装置を不良品として排除することが可能となる。

【0071】

〔実施の形態2〕

図9は、本発明の実施の形態2の半導体集積回路装置2000の構成を説明するための概略ブロック図である。

【0072】

図1に示した実施の形態1の半導体集積回路装置1000の構成と異なる点は、内部回路と電源配線VCLとの間に設けられる内部電源回路がすべて図4に示した内部電源回路230と同様の構成を有している点である。

【0073】

さらに、内部電源回路がこのような構成を有する結果、内部電源電流テスト回路50中の測定部54の構成を、以下に説明するように簡略化することが可能となる。また、テスト動作においてテスト結果を保持するラッチ回路が、通常動作においても内部回路100.1～100.9からのデータを格納・保持する動作を行なう構成となっている。

【0074】

図10は、実施の形態2のコントロール回路20およびデータ入出力部30の構成を説明するための概略ブロック図である。

【0075】

図5に示した実施の形態1の構成と異なる点は、ラッチ回路56.1が、通常動作において、データ入出力を行なう際の出力データのラッチ回路としても機能する点である。したがって、テスト動作時には、ラッチ回路56からは内部電源回路230の供給電流値の検出を行なう測定部54からの出力が取込まれる。テスト動作時においても、測定部54からの出力は、通常のリード動作と同様に制御回路40により制御されるタイミングでラッチ回路56.1に取込まれる。

【0076】

一方、通常動作のリード動作においては、内部回路群100.1～100.9からのデータが、制御回路40により制御されるタイミングで、ラッチ回路56.1～56.n (n:自然数) に取込まれる。

【0077】

このように、ラッチ回路 5 6 . 1 を通常動作時とテスト動作時において兼用とすることで、回路構成の簡略化およびデータ入出力に要するピン数の増加を抑制することが可能となる。

【 0 0 7 8 】

図 1 1 は、図 9 に示した内部電源回路 2 3 0 . 1 および、コントロール部 2 0 において、内部電源回路 2 3 0 . 1 ~ 2 3 0 . 4 の動作電流値を測定するための測定部 5 4 ならびにラッチ回路 5 6 . 1、出力制御部 3 4 および出力バッファ 3 2 の構成を抜き出して示す概略ブロック図である。

【 0 0 7 9 】

測定部 5 4 は、測定制御部 5 2 の制御に従って、内部電源回路 2 3 0 . 1 ~ 2 3 0 . 4 の内部のノード $n 2 3 0$ の電位を選択的に伝達するためのマルチプレクサ 5 4 1 と、基準電位 ($V_{ref 3}$) / 2 を生成するための基準電位発生回路 5 4 2 と、マルチプレクサ 5 4 1 を介して与えられる測定対象となる内部電源回路のノード $n 2 3 0$ の電位と基準電位 ($V_{ref 3}$) / 2 とを比較するための比較器 5 4 0 とを備える。

【 0 0 8 0 】

図 4 で説明したとおり、内部電源回路 2 3 0 は、待機時に動作する電圧変換部 $VDC 1$ は、予めその供給可能な電流量が小さくなるように設定されている。

【 0 0 8 1 】

したがって、対応する内部回路で生じるリーク電流が所定量よりも小さい間は、待機時用の電圧変換部 $VDC 1$ の供給電流により、ノード $n 2 3 0$ の電位レベルが保持されている。

【 0 0 8 2 】

ところが、仮に、対応する内部回路 1 0 0 . 4 に何らかの不良が発生しており、リーク電流が所定値よりも大きくなり、待機時電圧変換部 $VDC 1$ の最大電流供給能力を超えたリーク電流が発生しているときは、ノード $n 2 3 0$ から供給される内部電源電位は、参照電位 $V_{ref 3}$ のレベルを維持できなくなり、この値よりも低下する。

【 0 0 8 3 】

したがって、測定部 5 4 は、このノード n 2 3 0 の電位レベルと、所定の電位レベルたとえば参照電位 $V_{ref}/2$ とを比較器 5 4 0 により比較することで、規格値以上のリーク電流の発生を検出する。

【0084】

なお、図 1 1 に示した構成では、比較器 5 4 0 に供給される比較のための基準電位が、電位レベル $(V_{ref3})/2$ であるものとしているが、基準値はこの値に限定されず、他の値でもよい。

【0085】

また、比較器 5 4 0 は、図 1 1 の構成においては、ノード n 2 3 0 の電位を入力として受け、その電位レベルを基準電位と比較する構成としているが、比較の対象は電圧でなく電流を直接比較する構成としてもよい。

【0086】

検出結果は、データ出力用のラッチ回路 5 6. 1 に入力される。データ出力用のラッチ回路 5 6. 1 に与えられた検出結果は、出力バッファ 3 2. 1 を介して、データ入出力端子群 1 2 のうちの所定の端子 1 2. 1 に出力される。

【0087】

以上のような構成により、回路規模を抑制しつつ、実施の形態 1 の半導体集積回路装置 1 0 0 0 と同様の効果を奏することができる。

【0088】

〔実施の形態 3〕

図 1 2 は、本発明の実施の形態 3 の半導体集積回路装置 3 0 0 0 の構成を説明するための概略ブロック図である。

【0089】

図 9 に示した実施の形態 2 の半導体集積回路装置 2 0 0 0 の構成と異なる点は、内部回路群 1 0 0. 1 ~ 1 0 0. 9 のうち、少なくとも 1 つの内部回路 1 0 0. 1 がメモリ回路である点である。そして、測定部 5 4 の測定結果が、このメモリセルアレイ 2 4 0 に一旦格納されて、外部に読み出される点である。

【0090】

内部回路 1 0 0. 1 は、したがって、メモリセルアレイ 2 4 0 と、コントロー

ル部 2 0 によって制御されてメモリセルアレイ 2 4 0 へのデータ入出力等の制御を行なうためのメモリ制御回路 2 5 0 とを備える。

【 0 0 9 1 】

図 1 3 は、図 1 2 に示した半導体集積回路装置 3 0 0 0 の構成のうち、コントロール部 2 0 およびデータ入出力部 3 0 の構成のうち、内部電源回路 2 3 0 . 1 ~ 2 3 0 . 4 から内部回路 1 0 0 . 4 , 1 0 0 . 5 , 1 0 0 . 6 および 1 0 0 . 8 への供給電流量をテストするための構成を抜き出して示す概略ブロック図である。

【 0 0 9 2 】

図 1 0 に示した実施の形態 2 のコントロール部 2 0 およびデータ入出力部 3 0 の構成と異なる点は、測定部 5 4 により測定された内部電源回路の測定結果がラッチ回路 5 6 を経由して、内部回路 1 0 0 . 1 中のメモリセルアレイ 2 5 0 に書込まれる構成となっている点である。

【 0 0 9 3 】

メモリセルアレイ 2 5 0 に格納されたテスト結果のデータは、入出力バッファ 3 2 から通常の読出動作と同様にして読出される。

【 0 0 9 4 】

図 1 4 は、図 1 2 および図 1 3 に示した構成のうち、内部電源回路 2 3 0 . 1 、測定部 5 4 、ラッチ回路 5 6 およびメモリ制御回路 2 5 0 、メモリセルアレイ 2 4 0 の構成を抜き出して示す概略ブロック図である。

【 0 0 9 5 】

テスト動作期間中においては、信号 C K E が “ L ” レベルとなって、電圧変換回路 V D C 2 中の比較器 2 3 4 は非活性状態となっている。つまり、待機期間中の電流供給用の電圧変換回路 V D C 1 のみがテスト期間中においては動作している。

【 0 0 9 6 】

比較器 5 4 0 は、ノード n 2 3 0 の電位レベルを基準電位、たとえば、電位レベル (V r e f 3) / 2 と比較した結果を、ラッチ回路 5 6 に対して出力する。

【 0 0 9 7 】

ラッチ回路 5 6 に保持された、内部電源回路 2 3 0 . 1 に対応する内部回路 1 0 0 . 4 のリーク電流に関するデータは、ビルトインセルフテスト回路 4 2 によって制御されるマルチプレクサ 2 5 2 およびメモリ制御回路 2 5 0 内の書込制御回路 2 5 4 を介してメモリセルアレイ 2 4 0 に書込まれる。

【 0 0 9 8 】

すべての内部電源回路 2 3 0 . 1 ~ 2 3 0 . 4 についてこのようなテスト動作が終了した後、メモリセルアレイ 2 4 0 に格納されたテスト結果のデータは、メモリ制御回路 2 5 0 中の読出制御回路 2 5 6 と、バッファ回路 3 2 を介して、データ入出力端子 1 2 に対して出力される。

【 0 0 9 9 】

なお、通常動作においては、入出力バッファ 3 2 からのデータが、マルチプレクサ 2 5 2 および書込制御回路 2 5 4 を介してメモリセルアレイ 2 4 0 に書込まれる。

【 0 1 0 0 】

以上のような構成によっても、実施の形態 2 の半導体集積回路装置 2 0 0 0 と同様の効果を奏することができる。

【 0 1 0 1 】

〔実施の形態 4〕

図 1 5 は、本発明の実施の形態 4 の半導体集積回路装置 4 0 0 0 の構成を説明するための概略ブロック図である。

【 0 1 0 2 】

図 1 2 に示した実施の形態 3 の半導体集積回路装置 3 0 0 0 の構成と異なる点は、コントロール部 2 0 に対して、テスト端子 1 8 を介して、テスト用の参照電流が供給される構成となっている点である。さらに、後に説明するように、内部電源回路中において、待機時の動作電流を供給するための電圧変換回路 V D C 1 の構成も異なる。

【 0 1 0 3 】

その他の点は、実施の形態 3 の半導体集積回路装置 3 0 0 0 の構成と基本的に同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0104】

図16は、図15に示した構成のうち、内部電源回路230、1および測定部54の構成を説明するための概略ブロック図である。

【0105】

図16に示した構成では、内部電源回路230、1に対応した内部回路100、4のリークレベルを判定するために、待機時用の電圧変換回路VDC1の電流供給能力を利用する代わりに、テスト端子18から供給される電流値*i*に応じて動作する電流源の電流供給能力を利用する。

【0106】

すなわち、リーク電流を試験するためのテストモード期間中は、コントロール部20から出力される制御信号/TEが不活性状態となって、待機時用の電圧変換回路VDC1も非活性状態とされる。その代わりに、測定部54は、端子18に供給される電流*i*を、ノードn230に供給するためのカレントミラー回路544と、基準電位、たとえば、電位レベル(Vref3)/2を生成するための基準電位発生回路542と、ノードn230の電位レベルを基準電位(Vref3)/2と比較するための比較器540と、測定制御部52により制御されて、測定対象となる内部電源回路の内部ノード230と比較器540のプラス入力ノードとを選択的に結合するための切換回路543とを備える。

【0107】

カレントミラー回路544は、端子18と接地電位Vssとの間に設けられるNチャネルMOSトランジスタTN50と、外部電源電位ext. Vccと接地電位Vssとの間に直列に接続されるPチャネルMOSトランジスタTP50およびNチャネルMOSトランジスタTN52と、外部電源電位ext. Vccと比較器540のプラス入力ノードとの間に設けられるPチャネルMOSトランジスタTP52とを備える。

【0108】

トランジスタTN50のゲートと端子18とは結合され、トランジスタTN50とトランジスタTN52のゲートは相互に結合している。

【0109】

一方、トランジスタTP50とトランジスタTN52の接続ノードは、トランジスタTP50のゲートおよびトランジスタTP52のゲートと結合されている。

【0110】

端子18を介して外部から入力された電流 i は、トランジスタTN50、TN52、TP50およびTP52により構成されるカレントミラー回路544から切換回路543を経由して、測定対象となる内部電源回路のノードn230に供給される。

【0111】

たとえば、内部電源回路230、1に対応する内部回路100、4にリークがなければ、供給される電流量 i でノードn230の電位レベルは維持される。

【0112】

しかしながら、内部回路100、4にリーク電流が存在する場合、そのリーク量が供給される電流量 i よりも小さければ、ノードn230の電位レベルは維持されるが、逆にリーク電流が供給される電流量 i よりも大きくなるとノードn230の電位レベルは低下する。

【0113】

このノードn230の電位レベルを比較器540で基準電位(V_{ref3})/2と比較することで、対応する内部回路のリーク状態を試験することができる。

【0114】

また、外部から入力する電流量 i を変化させることで、内部回路のリーク量の大きさ自体も決定することも可能となる。

【0115】

さらに、図14のラッチ回路56の代わりに、データ変換回路546が設けられている。

【0116】

電流値 i を順次変化させつつ、比較器540の出力レベルを順次メモリセルアレイ240に格納するのであれば、テスト側からメモリセルアレイ240のデータを書込むべきメモリセルを選択するためのアドレス信号を与えつつ、データの

書込を行なえばよい。この場合は、データ変換回路 5 4 6 としては、図 1 4 と同様に比較器 5 4 0 の出力を保持するラッチ回路が設けられていればよい。

【 0 1 1 7 】

これに対して、後に説明するように、電流値 i を順次変化させて、比較器 5 4 0 の出力レベルが変化する変化点を表すデータを符号化した上でメモリセルアレイ 2 4 0 に格納する場合は、データ変換器 5 4 6 は、ビルトインセルフテスト回路 4 2 からテストから出力される電流値 i を示す符号化データを受け取り、この符号化データをメモリセルアレイ 2 4 0 に対して書込む構成が必要となる。

【 0 1 1 8 】

図 1 7 は、以上説明したように、外部から供給される電流量 i により、テスト対象となる内部回路、たとえば内部回路 1 0 0 . 4 において発生しているリーク電流量を検出する手順を説明するための概念図である。

【 0 1 1 9 】

外部から入力される比較用の電流値 i をデフォルトの値から順次変化させ、そのたびに内部ノード $n 2 3 0$ の電位レベルが維持されているかどうかを試験する。入力される電流よりも内部回路のリーク電流が小さく、内部ノード $n 2 3 0$ の電位レベルが維持されていれば、比較器 5 4 0 の出力は“L”レベルであり、逆にリークの方が大きく、ノード $n 2 3 0$ の電位レベルが維持できない場合は比較器 5 4 0 からの出力は“H”レベルとなる。

【 0 1 2 0 】

したがって、外部から供給する電流値 i を小さい側から順次試験していくこととすると、試験結果は、最初“H”レベルが出力され、電流値 i の値がある値以上となった時点で“L”レベルに変化する。

【 0 1 2 1 】

これらの結果をメモリに格納する方法としては、まず第 1 に、このようにして電流値 i を順次変化させながらそれぞれの電流値 i に対応する比較器 5 4 0 の比較結果を格納していくという手順を採ることが可能である。

【 0 1 2 2 】

ただし、よりメモリに格納されるデータ量を抑制するためには、第 2 の方法と

して、比較器 5 4 0 の出力レベルが変化する変化点の電流値 i の値を符号化し、その符号化された値をメモリに格納することも可能である。

【0 1 2 3】

図 1 7 においては、現時点の比較器 5 4 0 の出力レベルと 1 段階前の比較器 5 4 0 の出力レベルとの排他的論理和演算を行なうことにより、変化点を検出する手順を説明している。

【0 1 2 4】

電流値 i がデフォルト値であるときは、論理値 " 1 " と比較器 5 4 0 の出力レベルとの排他的論理和が計算される。一方、電流値 i が最大値であるときは、論理値 " 0 " と比較器 5 4 0 の出力レベルとの排他的論理和が計算される。

【0 1 2 5】

一方、ビルトインセルフテスト回路 4 2 は、外部から与えられる電流値 i が何段階目の値であるかを符号化して出力しているものとする。したがって、電流値 i が 1 6 段階に変化しており、比較器 5 4 0 の出力レベルの変化点で、この符号化信号が、たとえば、 $(P 3, P 2, P 1, P 0) = (1 1 0 1)$ であるならば、データ " 1 1 0 1 " をメモリセルアレイ 2 4 0 に格納すればよい。

【0 1 2 6】

図 1 8 は、電流値 i を順次変化させたときに、比較器 5 4 0 の出力レベルの変化する点を符号化してメモリセルアレイ 2 0 0 に書込むためのデータ変換回路 5 4 6 の構成を説明する概略ブロック図である。

【0 1 2 7】

上述のとおり、外部から供給される電流値 i を 1 6 段階にデフォルト値から変化させる場合について説明する。

【0 1 2 8】

電流値 i を順次変化させつつ、比較器 5 4 0 の出力レベルが変化する点を探索するためには、電流値 i が 1 段階前のレベルであったときの比較器 5 4 0 の比較結果と、電流値 i の現段階における比較器 5 4 0 の比較データが存在する必要がある。

【0 1 2 9】

したがって、データ変換回路 5 4 6 は、第 1 のラッチ回路 5 4 6 0 と、第 2 のラッチ回路 5 4 6 2 と、比較器 5 4 0 からの出力を電流値 i のレベルが変わるごとに交互に第 1 のラッチ回路 5 4 6 0 と第 2 のラッチ回路 5 4 6 2 に書き込むための切替回路 5 4 6 4 とを備える。すなわち、切替回路 5 4 6 4 は、この 2 つのラッチ回路 5 4 6 0 および 5 4 6 2 に対して、比較結果データをインタリーブしながら格納していく。ただし、最初の比較データが得られる際に、第 1 のラッチ回路 5 4 6 0 には、強制的に“H”レベルが格納されており、第 2 のラッチ回路 5 4 6 2 に電流値 i のデフォルト値に対する比較結果のデータが格納されるとする。

【 0 1 3 0 】

このように 2 つのラッチ回路 5 4 6 0 および 5 4 6 2 に格納されたデータは、排他的論理和演算回路 5 4 6 6 により、排他的論理和演算が行なわれる。排他的論理和演算回路 5 4 6 6 が、順次排他的論理和演算を行なっていくうちに、その論理レベルが変化した時点で、トランスファークゲート 5 4 6 8 が活性状態とされる。

【 0 1 3 1 】

一方、ラッチ回路 5 4 7 0 は、ビルトインセルフテスト回路 4 2 から出力されている、現段階での電流値 i の段階を示す符号化された信号を格納する。トランスファークゲート 5 4 6 8 は、ラッチ回路 5 4 7 0 からの出力を受けて、排他的論理和演算回路 5 4 6 6 の出力レベルは活性状態となった時点で、ラッチ回路 5 4 7 0 に格納されているデータをメモリセルアレイ 2 4 0 に対して出力する。

【 0 1 3 2 】

1 6 段階に電流値 i を変化させて測定する場合は、4 ビットの信号の組合せで電流値 i のレベルを識別することができる。したがって、メモリセルアレイ 2 4 0 にはこの 4 ビットのみを格納すればよい。

【 0 1 3 3 】

もしも、デフォルト値の電流値 i に対して、排他的論理和演算回路 5 4 6 6 の出力レベルが“H”レベルとなっているのであれば、テスト対象となっている内部電源回路に対応した内部回路はリーク電流の少ない回路であるといえる。

【 0 1 3 4 】

逆に、電流値 i が最終段階となるまで、排他的論理和演算回路 5 4 6 6 の出力レベルが “L” レベルに変化しないのであれば、テスト対象となっている内部電源回路に対応する内部回路のリーク電流は非常に大きいということになる。

【 0 1 3 5 】

〔実施の形態 4 の変形例 1〕

実施の形態 4 においては、内部電源回路から対応する内部回路に供給される電流値の大きさを試験するにあたり、端子 1 8 を介して、外部テストから比較用の参照電流 i が与えられる構成となっていた。

【 0 1 3 6 】

実施の形態 4 の変形例においては、この基準電流自体を測定部 5 4 内で発生させる構成となっている。

【 0 1 3 7 】

図 1 9 は、実施の形態 4 の変形例の内部電源回路 2 3 0、1 および測定部 5 4 の構成を説明するための概略ブロック図である。

【 0 1 3 8 】

すなわち、図 1 9 に示した構成では、図 1 6 に示した構成と比較して、測定部 5 4 は、内部参照電流発生回路 5 4 8 を備え、カレントミラー回路 5 4 4 は、この内部参照電流発生回路 5 4 8 から出力される電流値 i を、内部ノード $n 2 3 0$ に供給する。

【 0 1 3 9 】

図 1 9 を参照して、内部参照電流発生回路 5 4 8 は、電源電位 $e x t . V c c$ と接地電位 $V s s$ との間に直列接続される抵抗体 $R 1$ および $R 2$ と、抵抗体 $R 1$ および抵抗体 $R 2$ の接続ノードの電位 $V r e f 4$ をマイナス入力ノードに受け、信号 $T E$ の活性化に応じて活性化される比較器 5 4 8 0 と、内部ノード $n 5 4 8$ と電源電位 $e x t . V c c$ との間に設けられ、ゲートに比較器 5 4 8 0 の出力レベルを受ける P チャネル MOS トランジスタ $T P 5 4 8$ と、ノード $n 5 4 8$ と接地電位 $V s s$ との間に接続され、ビルトインセルフテスト回路 4 2 から出力される制御信号に応じてその抵抗値を変化させることが可能な可変抵抗 $R 3$ と、カレ

ントミラー回路 5 4 4 のトランジスタ $TN50$ のドレインと電源電位 $ext. V_{cc}$ との間に設けられ、ゲートに比較器 5 4 8 0 の出力を受ける P チャンネル MOS トランジスタ $TP550$ とを備える。ノード $n548$ は比較器 5 4 8 0 のプラス入力ノードと結合している。

【0 1 4 0】

内部参照電流発生回路 5 4 8 は、このような構成を有する結果、トランジスタ $TP550$ のドレインからは電流値 $i = V_{ref4} / R3$ の電流値が出力されることになる。

【0 1 4 1】

すなわち、参照電流値 i は、ビルトインセルフテスト回路 4 2 からの信号により可変抵抗 $R3$ の抵抗値を変化させることで複数段階のレベルに変化する。

【0 1 4 2】

図 2 0 は、ビルトインセルフテスト回路 4 2 から出力される符号出力の例を示す概念図である。

【0 1 4 3】

ここでは、ビルトインセルフテスト回路 4 2 から 4 ビットの信号が発生され、1 6 段階の参照電流を表現しているものとする。

【0 1 4 4】

順次参照電流の電流値 i を変化させ、前段階の比較結果と排他的論理和を取ることで、レベルの変化点を抽出する。

【0 1 4 5】

この抽出ポイントにおけるビット信号がリーク電流の大きさを表わす。したがって、そのビットの組合せを、図 1 8 に示したのと同様の回路構成によりメモリセルアレイ 2 4 0 へ書込むこととする。

【0 1 4 6】

【実施の形態 4 の変形例 2】

以上の説明では、内部回路と電源配線 V_{CL} との間に内部電源回路 2 3 0 と同様の内部電源回路が設けられる構成について説明した。

【0 1 4 7】

しかしながら、参照電流値 i が外部から供給される場合や、あるいは測定部 54 内で参照電流値 i が発生される場合には、内部電源回路 230 の代わりに、電源配線 VCL と内部回路との間にスイッチ回路、たとえば、図 6 に示したスイッチ回路 $SW20$ が設けられている場合もテストすることが可能である。

【0148】

図 21 は、このような場合において、内部回路のリーク電流をテストする回路構成を説明する図である。

【0149】

内部電源回路 230 の代わりにスイッチ回路 $SW20$ が設けられている点を除いては、図 19 に示した構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0150】

図 22 は、図 21 で説明したように、電源配線 VCL と内部回路との間にスイッチ回路 $SW16$ が設けられる構成に加えて、さらに内部回路と接地配線 VSL との間にもスイッチ回路、たとえば、図 6 に示したスイッチ回路 $SW18$ が設けられている場合のリーク電流を測定するための構成を説明する概略ブロック図である。

【0151】

図 21 の場合と同様に、リーク電流測定時には、スイッチ回路 $SW16$ あるいは $SW18$ のトランジスタをオフ状態とすることで、内部回路 100.5 に対して参照電流のみを供給する。この場合のノード $n230$ の電位レベルを測定することで、リーク電流の大きさを判定することができる。

【0152】

テスト動作時に電源配線側と接地配線側のリークを個別に測定できるように、電源配線 VCL 側のスイッチ $SW16$ のトランジスタを制御するための論理ゲート $LG1$ と、接地配線 VSL 側のスイッチ回路 $SW18$ を制御するための論理ゲート $LG2$ とが設けられている。

【0153】

論理ゲート $LG1$ は、コントロール部 20 から出力される信号 $/CKE$ および

／T E 1 がともに “L” レベルとなる場合に “L” レベルの信号を出力する。

【0 1 5 4】

一方、論理ゲート L G 2 は、コントロール回路 2 0 から出力される信号 C K E および信号 T E 2 がともに “H” レベルである場合に “H” レベルとなる信号を出力する。

【0 1 5 5】

〔実施の形態 5〕

図 2 3 は、複数の半導体集積回路装置 5 0 0 0 . 1 ~ 5 0 0 0 . 1 2 をボード 3 0 0 上に実装し、一括してテストを行なう場合の構成を説明する概念図である。

【0 1 5 6】

なお、複数の半導体集積回路装置を一括してテストする方法としては、このようにボード上に複数個実装するばかりでなく、ウェハ状態でのテストを行なうための治具であるウェハカードによって、同時にテストする構成としてもよい。

【0 1 5 7】

これらの場合、複数のチップには、ボード（またはウェハカード）上の電源線 3 0 2 から共通に電源電位レベルが供給されている。また、複数のチップには、ボード（またはウェハカード）上の接地線 3 0 4 から共通に接地レベルが供給され、ボード（またはウェハカード）上の信号線 3 0 6 により制御信号やデータ信号が伝達されている。ボード 3 0 0 へは外部テスト（図示せず）から、インタフェース部 3 1 0 を介して、電源電位の供給、制御信号の供給およびデータ信号の授受が行なわれる。

【0 1 5 8】

ここで、複数のチップのうちで異常リークを示すチップがあると、その影響を受けてこの電源線 3 0 2 の電位レベルも変動し、他のチップの測定を正確に行なうことができなくなる可能性がある。

【0 1 5 9】

図 2 4 は、図 2 3 において、ボード 3 0 0 上に実装されている複数の半導体集積回路装置 5 0 0 0 . 1 ~ 5 0 0 0 . 1 2 のうち、半導体集積回路装置 5 0 0 0

． 1 のコントロール部 2 0 中の測定部 5 4 の構成を説明するための概略ブロック図である。他の半導体集積回路装置 5 0 0 0 . 2 ~ 5 0 0 0 . 1 2 の構成も、半導体集積回路装置 5 0 0 0 . 1 の構成と同様である。

【 0 1 6 0 】

ここで、半導体集積回路装置 5 0 0 0 . 1 の構成は、基本的には、図 1 2 に示した半導体集積回路装置 3 0 0 0 の構成と同様であるものとする。

【 0 1 6 1 】

ただし、図 1 2 ~ 図 1 4 で説明した半導体集積回路装置 3 0 0 0 の構成とは、以下の点で異なる。

【 0 1 6 2 】

i) 図 1 2 に示した半導体集積回路装置 3 0 0 0 の構成では、内部電源回路のうち、電源配線 V C L と内部回路との間に設けられる内部電源回路は、図 1 4 に示すような電圧変換回路 V D C 1 と V D C 2 の双方を備える構成となっていた。

【 0 1 6 3 】

これに対して、半導体集積回路装置 5 0 0 0 . 1 では、内部電源回路としては、たとえば、図 2 に示した内部電源回路 2 0 0 のように電圧変換回路が 1 系統設けられる構成であってもよい。

【 0 1 6 4 】

したがって、後に説明するように、半導体集積回路装置 5 0 0 0 . 1 では、測定部 5 4 から、内部電源回路の動作電流値を測定するための電流 i が供給される。

【 0 1 6 5 】

i i) ただし、内部電源回路の各々には、動作電流の測定結果により、対応する内部回路のリーク電流が大きいと判定された場合、コントロール回路 2 0 からの活性化信号 C K E と関わりなく、電源配線 V C L から内部電源回路への電流供給を停止させるための構成が設けられる。

【 0 1 6 6 】

i i i) 図 1 3 および図 1 4 では、測定対象となる内部電源回路に対して測定部 5 4 が行なった測定の結果は、ラッチ回路 5 6 に格納されたのち、メモリセル

アレイ 2 4 0 に格納される。したがって、ラッチ回路 5 6 は、1 つの内部電源回路に対する測定結果を格納する容量があればよい。

【0 1 6 7】

これに対して、半導体集積回路装置 5 0 0 0 . 1 は、測定対象となる内部電源回路ごとに、その動作電流の測定結果を個別に格納できるラッチ回路が設けられている。この個別のラッチ回路に格納されたデータに基づいて、上述したような、電源配線 V C L から内部電源回路への電流供給を停止させる機能が実現される。

【0 1 6 8】

図 2 4 は、半導体集積回路装置 5 0 0 0 . 1 の測定部 5 4、データ保持回路 5 7 および内部電源回路 2 2 0 の構成を抜き出して説明するための概略ブロック図である。

【0 1 6 9】

図 2 4 に示すように、半導体集積回路装置 5 0 0 0 . 1 においては、データ保持回路 5 7 および内部電源回路 2 2 0 が設けられることで、ボード上（あるいはウェハカード上）に、異常リークがあるチップへの電源供給を自動的に停止することが可能となる。

【0 1 7 0】

図 2 4 を参照して、上述のとおり、測定部 5 4 から、測定対象となる内部電源回路 2 2 0 の動作電流値を測定するための電流 i が供給される。このために、コントロール部 2 0 中の測定部 5 4 の構成は、基本的に、図 1 9 に示した構成と同様である。

【0 1 7 1】

したがって、図 1 9 に示した測定部 5 4 と同一部分には同一符号を付してその説明は繰り返さない。ただし、図 1 9 においては、内部参照電流発生回路 5 4 8 内の抵抗体 R 3 の値は、ビルトインセルフテスト回路 4 2 により、順次その値を変化させていく構成であった。図 2 4 においては、抵抗体 R 3 の値は、ビルトインセルフテスト回路 4 2 により所定の値に固定されるものとする。あるいは、抵抗体 R 3 は、可変抵抗ではなく、固定値の抵抗を有する抵抗体であってもよい。

【 0 1 7 2 】

データ保持回路 5 7 は、測定部 5 4 中の比較器 5 4 0 からの出力レベルを保持する。すなわち、データ保持回路 5 7 は、測定制御部 5 2 からの信号に基づいて、選択的に比較器 5 4 0 の出力を伝達する切換回路 5 7 2 と、測定対象となる内部電源回路にそれぞれ対応して設けられ、測定制御部 5 2 からのテストモード期間中であることを示す信号 T E に応じて活性化されるラッチ回路 5 7 4 . 1 ~ 5 7 4 . m (m : 自然数) とを備える。ラッチ回路 5 7 4 . 1 ~ 5 7 4 . m は、初期的には、その保持データが “ H ” とされており、テストモード期間中は、対応する内部電源回路に対するテスト結果を保持して、それぞれ対応する内部電源回路に対して、テスト結果のデータを出力する。なお、ラッチ回路 5 7 4 . 1 ~ 5 7 4 . m は、メモリセルアレイ 2 4 0 に書き込まれ、テスト終了後に読み出される。

【 0 1 7 3 】

内部電源回路 2 2 0 には、ラッチ回路 5 7 4 . 1 ~ 5 7 4 . m のうちの対応するラッチ回路 5 7 4 . m の電位レベルに応じて、内部電源回路内の比較器 2 0 4 への活性化信号 C K E の伝達を制御するための N A N D 回路 2 2 2 が設けられる。ラッチ回路 5 7 4 . 1 ~ 5 7 4 . m 中のデータは、通常動作時は “ H ” レベルに設定され、信号 C K E の活性化に応じて、チップ活性化時には電圧変換回路 V D C 中の比較器 2 0 4 を動作状態としている。

【 0 1 7 4 】

ところが、テスト動作中においては、リーク電流の異常を検出するとラッチ回路 5 7 4 . 1 ~ 5 7 4 . m 中の保持レベルは “ L ” レベルに設定される。これにより、信号 C K E のレベルにかかわらず、比較器 2 0 2 は、常に非活性状態となる。これによって、トランジスタ T P 2 0 0 が遮断状態となり、内部回路 1 0 0 . 8 への電源供給が停止されるので、異常のあった内部回路と外部電源とを完全に分離することが可能となる。

【 0 1 7 5 】

なお、図 2 4 においては、複数の内部電源回路のそれぞれに対応して、ラッチ回路 5 7 4 . 1 ~ 5 7 4 . m が設けられ、個別に内部電源回路と電源配線 V C L

との接続を遮断する構成としたが、半導体集積回路装置 5 0 0 0 . 1 内に内部電源回路が 1 つだけ設けられている場合は、ラッチ回路 5 7 4 . 1 のみを設け、切換回路 5 7 2 を省略することも可能である。

【 0 1 7 6 】

また、半導体集積回路装置 5 0 0 0 . 1 内に内部電源回路が複数個設けられている場合において、いずれか 1 つの内部電源回路の動作電流が所定値を超えている場合は、その半導体集積回路装置 5 0 0 0 . 1 内の全ての内部電源回路と電源配線 V C L との接続を遮断する構成とすることも可能である。その場合も、ラッチ回路 5 7 4 . 1 のみを設け、切換回路 5 7 2 を省略することも可能である。このときは、ラッチ回路 5 7 4 . 1 の出力が全ての内部電源回路内の A N D 回路 2 2 2 の一方入力ノードに与えられる。

【 0 1 7 7 】

〔実施の形態 5 の変形例〕

図 2 5 は、実施の形態 5 の変形例であって、内部回路 1 0 0 . 8 と、電源配線 V C L との間にスイッチ S W 1 0 0 が挿入されている場合の構成を説明するための概略ブロック図である。

【 0 1 7 8 】

図 2 4 の構成と異なる点は、電圧変換回路 V D C の代わりに、スイッチ回路 S W 1 0 0 が設けられる構成となっている点である。

【 0 1 7 9 】

リーク電流を測定する際には、スイッチ回路 S W 1 0 0 中のトランジスタ T P 1 0 を遮断状態とすることで、参照電流 i のみが内部回路 1 0 0 . 8 に供給される。リーク電流の大きさを測定した結果、所定値以上にリーク電流が大きいと確認されると、ラッチ回路 5 7 4 . m 中に保持されるデータが“L”レベルとなるので、信号 C K E の反転信号 / C L E のレベルとかかわりなく、スイッチ S W 1 0 0 は常に遮断状態となる。

【 0 1 8 0 】

したがって、このリーク電流に異常のある内部回路 1 0 0 . 8 が、他チップの測定結果に影響を与えることがない。

【0181】

〔実施の形態6〕

図26は、実施の形態6として、内部回路の動作電流値の検出回路を測定部54ではなく、ボード上（もしくはウェハカード上）に配置する場合の構成を説明するための概略ブロック図である。

【0182】

すなわち、図23に示したボード300の構成に比べると、図26に示したボード400は、半導体集積回路6000、1～6000、12の各々と電源配線302との間に、測定回路64が設けられる構成となっている。

【0183】

図27は、測定回路64とこれに接続される半導体集積回路装置6000、1の構成を一部抜き出して示す概略ブロック図である。

【0184】

図25に示した構成とは、以下の点で異なる。

図25では、測定部54は、半導体集積回路装置5000、1内に設けられていたのに対し、図27では、測定回路64は、半導体集積回路装置6000、1の外部のボード上に設けられている。

【0185】

したがって、図25中のスイッチ回路SW100の代わりに設けられるスイッチ回路SW200中のPチャネルMOSトランジスタTP10は、半導体集積回路装置6000、1の電源端子14および電源配線VCLを介して、内部回路100、8と結合している。

【0186】

また、比較回路540のプラス入力ノードは、カレントミラー回路544の出力と直接結合している。端子14を介しては、複数の内部回路のうちの1つと選択的に結合することができないからである。

【0187】

さらに、参照電流発生回路548の比較器5480およびラッチ回路56を制御する信号TEは、外部テストから与えられる。ラッチ回路56は、半導体集積

回路装置 6 0 0 0. 1 全体についての動作電流値のテスト結果を格納する。

【0 1 8 8】

その他の構成は、図 2 5 に示した構成と同様であるので、同一部分には同一符号を付してその説明は繰返さない。

【0 1 8 9】

このような構成とすることで、複数の半導体集積回路装置を一括してテストする際に、動作電流の異常な内部回路を有する半導体集積回路装置が、電源配線 3 0 2 から遮断されるので、他の半導体集積回路装置に対する測定結果に影響を与えない。

【0 1 9 0】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 9 1】

【発明の効果】

請求項 1 ～ 8 および 1 4 ～ 1 8 記載の半導体集積回路装置は、セルフテストの期間中において、内部回路に対応して設けられている内部電源回路の供給電流値に対するテスト結果を外部に出力することができる。したがって、異なる機能を有する複数の内部回路が 1 チップ上に設けられ、内部回路に応じて内部電源回路が設けられている場合でも、各内部回路に供給される内部電源電流値をセルフテストすることが可能となる。

【0 1 9 2】

請求項 9 ～ 1 3 記載の半導体集積回路装置は、請求項 1 ～ 8 記載の半導体集積回路装置の奏する効果に加えて、各内部回路に供給される電流値に対する情報を外部に出力することが可能である。

【0 1 9 3】

請求項 1 9 ～ 2 3 記載の半導体集積回路装置は、請求項 1 ～ 8 記載の半導体集積回路装置の奏する効果に加えて、各内部回路に供給される電流値についても自

己試験することが可能である。

【0194】

請求項24～26記載の半導体集積回路装置は、複数の半導体集積回路装置が一括して試験される場合でも、消費電流量の異常な半導体集積回路装置が他の半導体集積回路装置の測定に影響を与えない。

【0195】

請求項27記載の試験装置は、複数の半導体集積回路装置を一括して試験する場合に、消費電流量の異常な半導体集積回路装置が他の半導体集積回路装置の測定に影響を与えない。

【図面の簡単な説明】

【図1】 実施の形態1の半導体集積回路装置1000の回路構成を示す概略ブロック図である。

【図2】 図1に示した構成のうち内部電源回路200の構成を説明するための回路図である。

【図3】 図1に示した内部電源回路210の構成を説明するための回路図である。

【図4】 図1に示した内部電源回路230の構成を説明するための回路図である。

【図5】 図1に示したコントロール部20およびデータ入出力部30の構成の一部を抜き出して示す概略ブロック図である。

【図6】 実施の形態1の変形例の内部回路群の構成を説明するための概略ブロック図である。

【図7】 図6に示したスイッチ回路のうち、電源配線VCLと内部回路との間に設けられるスイッチ回路SW10の構成を説明するための回路図である。

【図8】 内部回路と接地配線VSLとの間に設けられるスイッチ回路SW12の構成を説明するための回路図である。

【図9】 実施の形態2の半導体集積回路装置2000の構成を説明するための概略ブロック図である。

【図10】 実施の形態2のコントロール回路20およびデータ入出力部3

0 の構成を説明するための概略ブロック図である。

【図 1 1】 内部電源回路 2 3 0 . 1、測定部 5 4 ならびにラッチ回路 5 6 . 1 および出力バッファ 3 2 の構成を抜き出して示す概略ブロック図である。

【図 1 2】 実施の形態 3 の半導体集積回路装置 3 0 0 0 の構成を説明するための概略ブロック図である。

【図 1 3】 内部電源回路 2 3 0 . 1 等から内部回路 1 0 0 . 4 等への供給電流量をテストするための構成を抜き出して示す概略ブロック図である。

【図 1 4】 内部電源回路 2 3 0 . 1、測定部 5 4、ラッチ回路 5 6 およびメモリ制御回路 2 5 0、メモリセルアレイ 2 4 0 の構成を抜き出して示す概略ブロック図である。

【図 1 5】 実施の形態 4 の半導体集積回路装置 4 0 0 0 の構成を説明するための概略ブロック図である。

【図 1 6】 図 1 5 に示した構成のうち、内部電源回路 2 3 0 . 1 および測定部 5 4 の構成を説明するための概略ブロック図である。

【図 1 7】 テスト対象となる内部回路、たとえば内部回路 1 0 0 . 4 において発生しているリーク電流量を検出する手順を説明するための概念図である。

【図 1 8】 データ変換回路 5 4 6 の構成を説明する概略ブロック図である。

【図 1 9】 実施の形態 4 の変形例の内部電源回路 2 3 0 . 1 および測定部 5 4 の構成を説明するための概略ブロック図である。

【図 2 0】 ビルトインセルフテスト回路 4 2 から出力される符号出力の例を示す概念図である。

【図 2 1】 内部回路のリーク電流をテストする回路構成を説明する図である。

【図 2 2】 リーク電流を測定するための構成を説明する概略ブロック図である。

【図 2 3】 複数の半導体集積回路装置をボード 3 0 0 上に実装し、一括してテストを行なう場合の構成を説明する概念図である。

【図 2 4】 半導体集積回路装置 5 0 0 0 . 1 のコントロール部 2 0 中の測

定部 5 4 の構成を説明するための概略ブロック図である。

【図 2 5】 実施の形態 5 の変形例の構成を説明するための概略ブロック図である。

【図 2 6】 実施の形態 6 のボード 4 0 0 の構成を説明するための概略ブロック図である。

【図 2 7】 測定回路 6 4 とこれに接続される半導体集積回路装置 6 0 0 0 . 1 の構成を一部抜き出して示す概略ブロック図である。

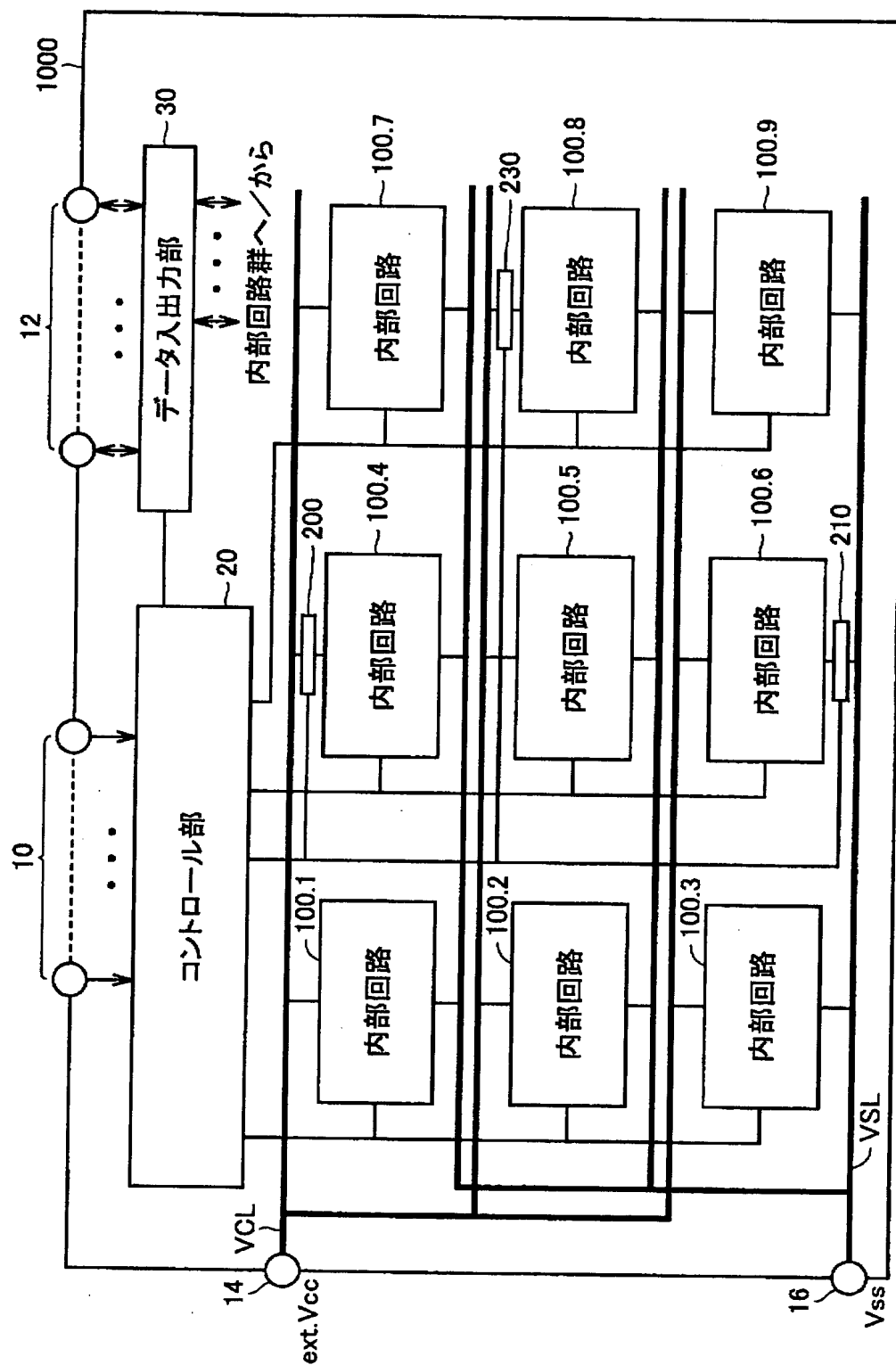
【符号の説明】

1 0 制御信号入力端子群、1 2 データ入出力端子群、1 4 電源端子、1 6 接地端子、2 0 コントロール部、3 0 データ入出力部、3 2 入出力バッファ、3 4 出力制御部、4 0 制御回路、4 2 ビルトインセルフテスト回路、5 0 内部電源テスト回路、5 2 測定制御部、5 4 測定部、5 6 ラッチ回路、6 4 測定回路、1 0 0 . 1 ~ 1 0 0 . 9 内部回路、V C L 電源配線、V S L 接地配線、2 0 0 , 2 1 0 , 2 3 0 内部電源回路、2 0 2 , 2 1 2 , 2 3 2 参照電位生成回路、2 0 4 , 2 1 4 , 2 3 4 , 2 3 6 , 5 4 0 比較器、3 0 0 , 4 0 0 ボード、5 4 1 マルチプレクサ、5 4 2 基準電位発生回路、5 4 3 切換回路、5 4 4 カレントミラー回路、5 4 6 データ変換回路、V D C 1 , V D C 2 電圧変換回路、5 4 6 0 , 5 4 6 2 ラッチ回路、1 0 0 0 , 2 0 0 0 , 3 0 0 0 , 4 0 0 0 , 5 0 0 0 . 1 ~ 5 0 0 0 . 1 2 , 6 0 0 0 . 1 ~ 6 0 0 0 . 1 2 半導体集積回路装置。

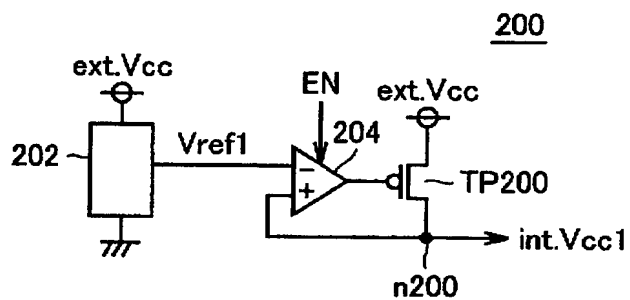
【書類名】

図面

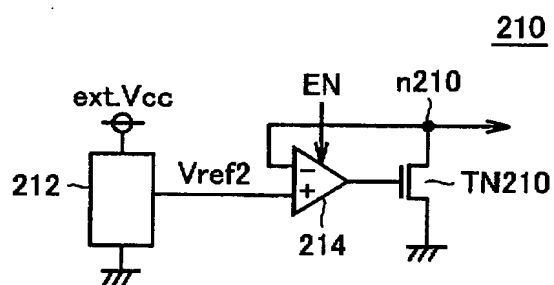
【図1】



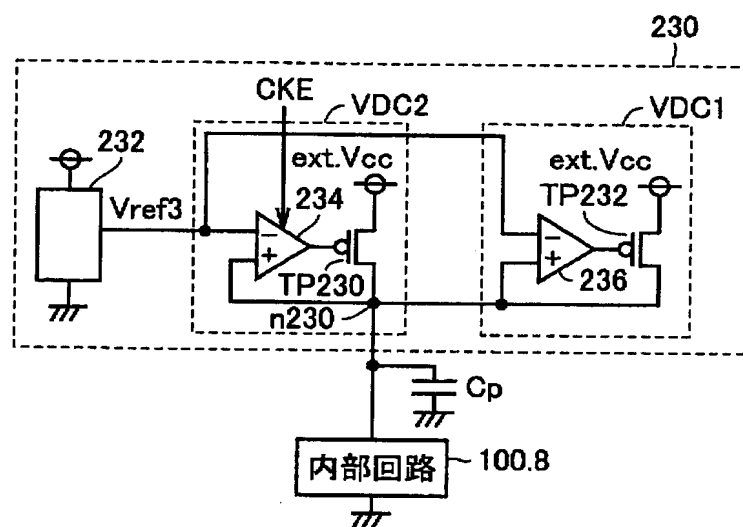
【図 2】



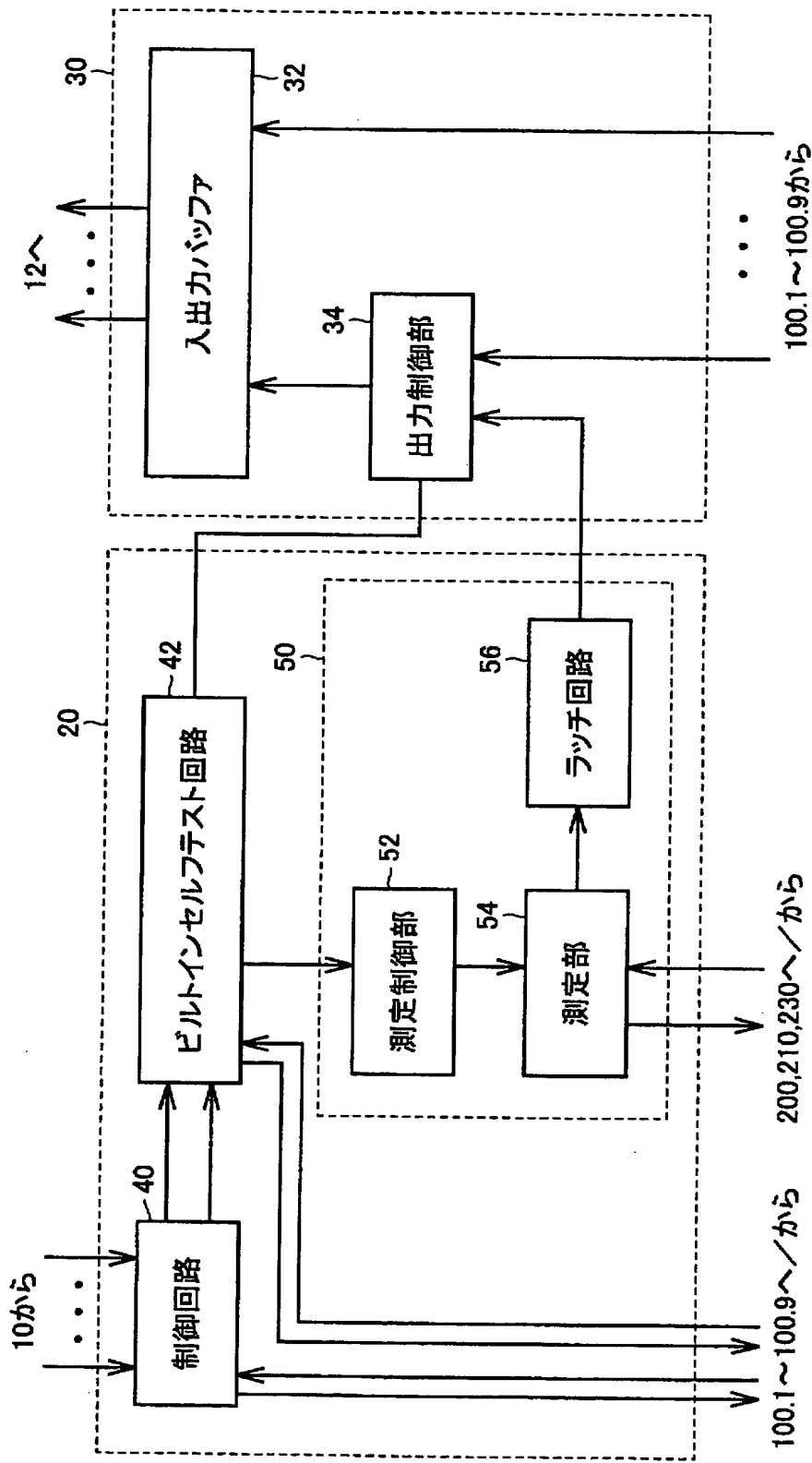
【図 3】



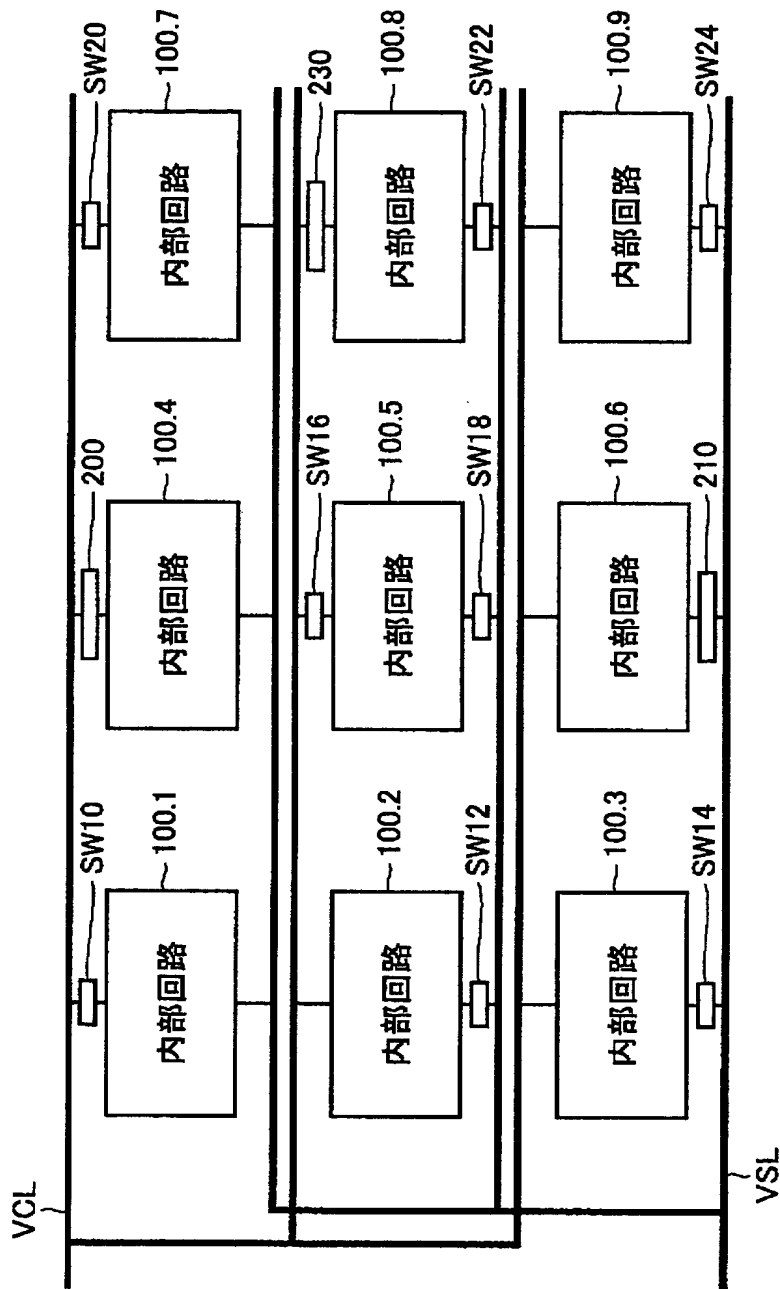
【図 4】



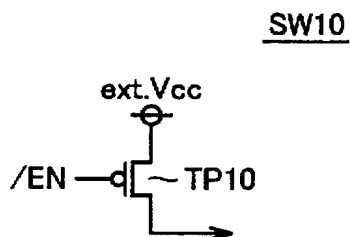
【図 5】



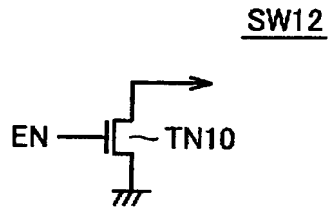
【図 6】



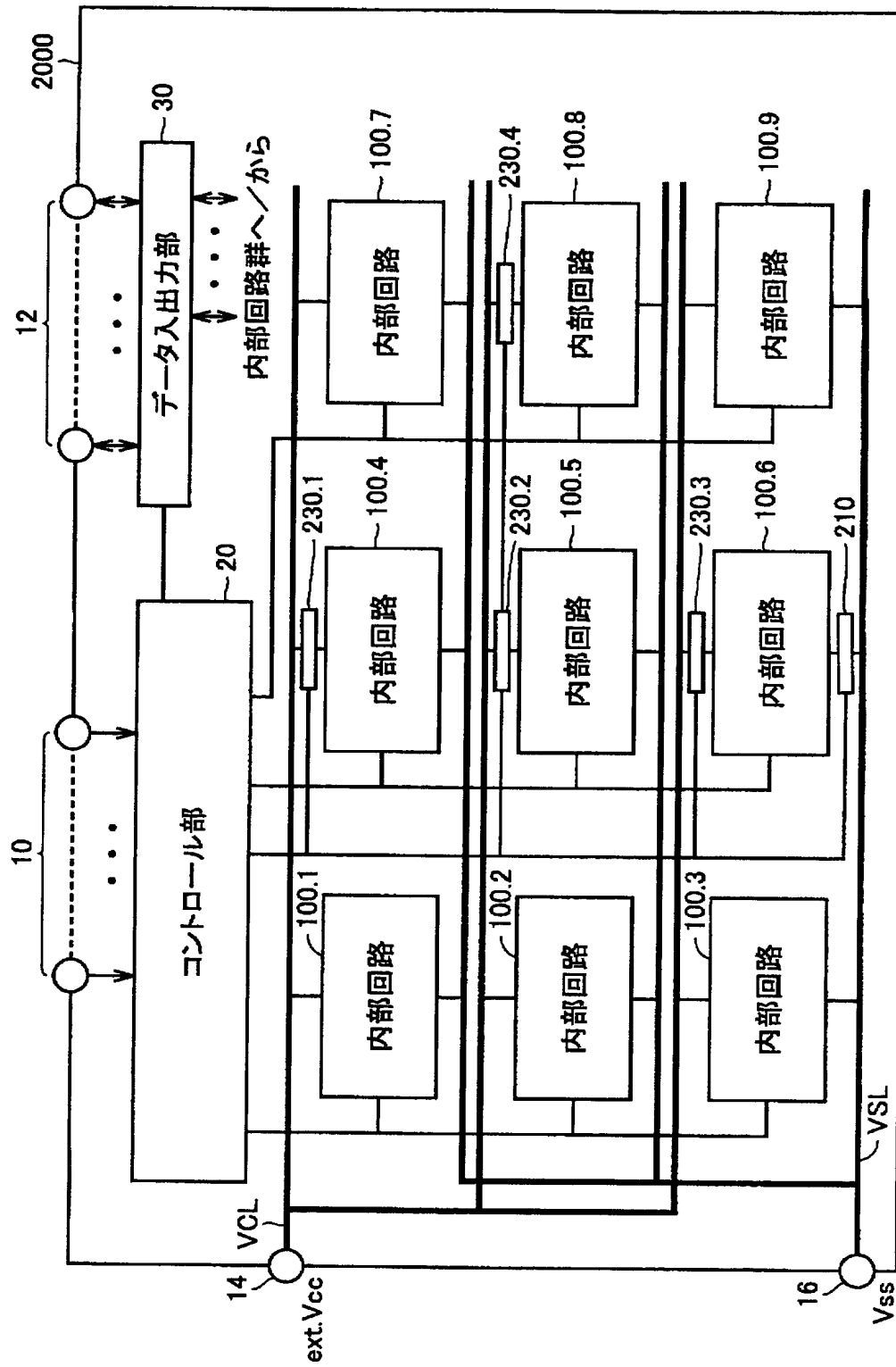
【図 7】



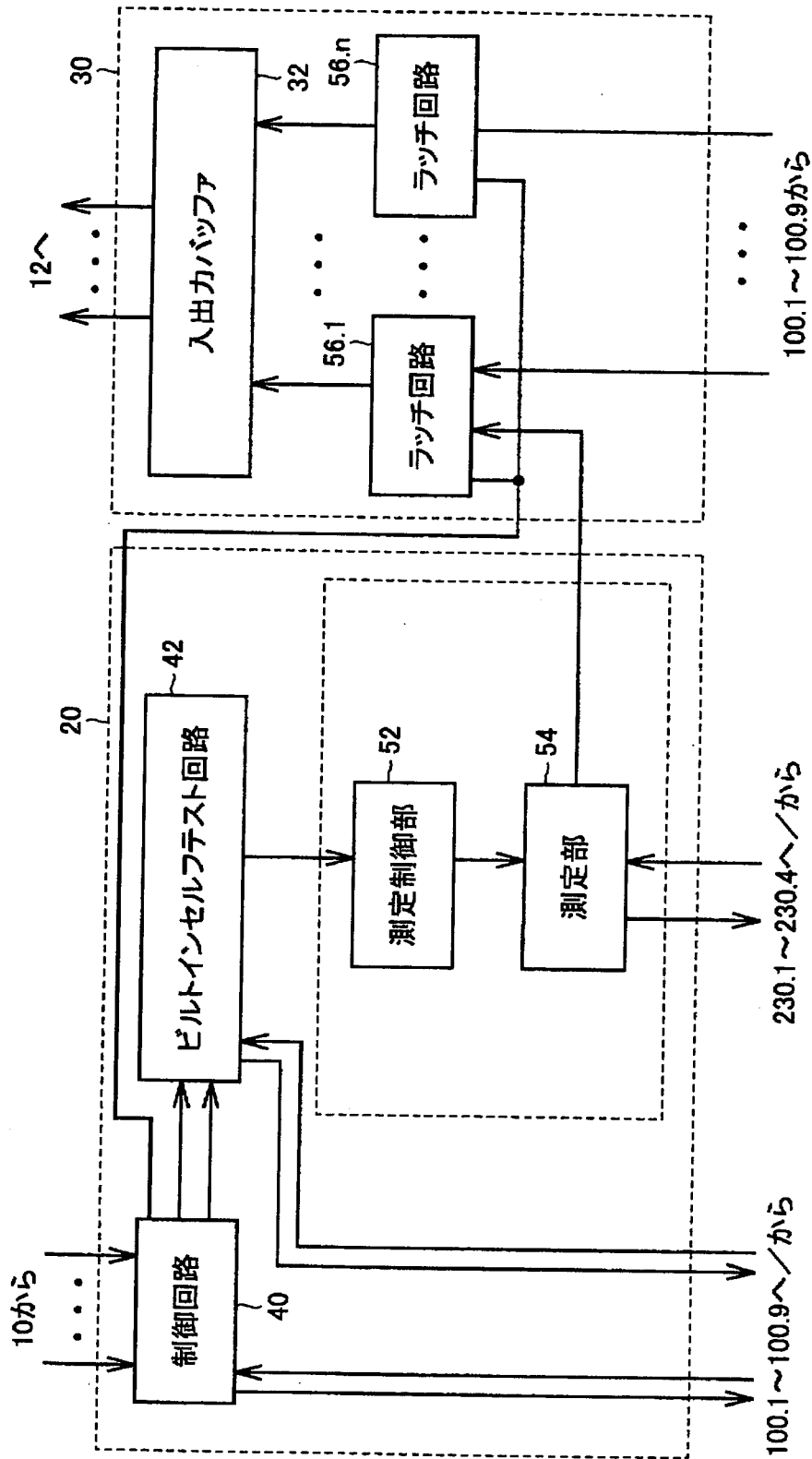
【図 8】



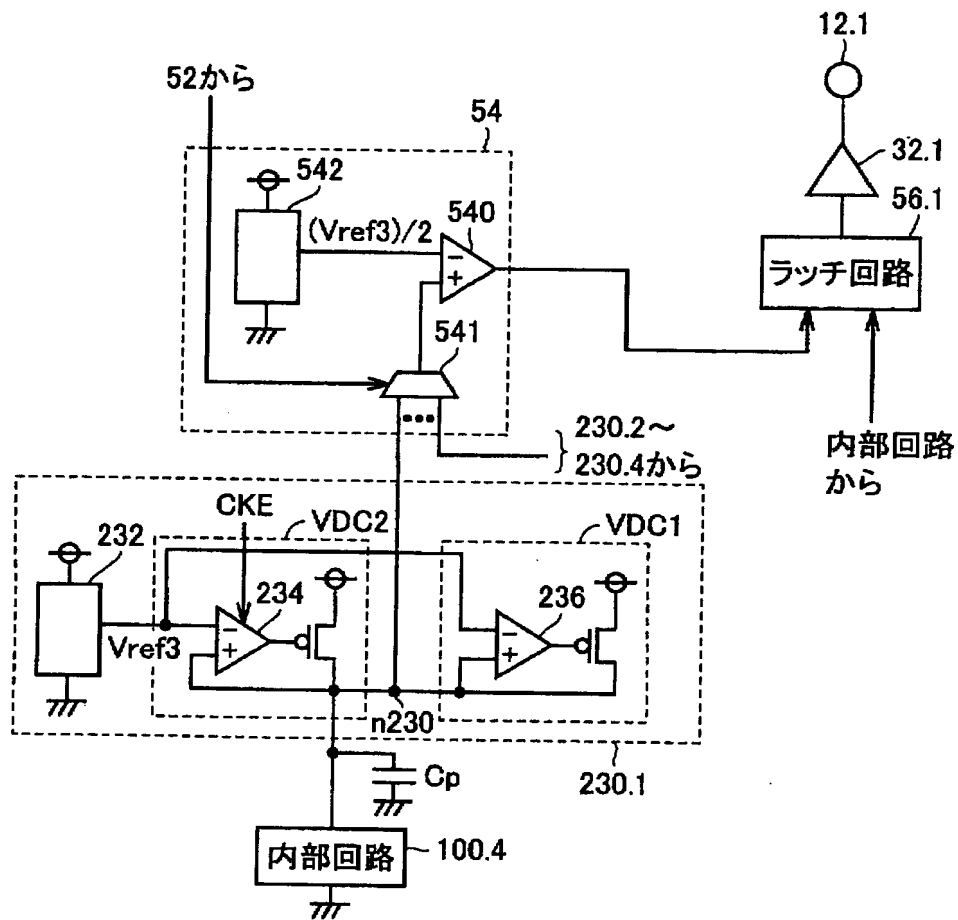
【図9】



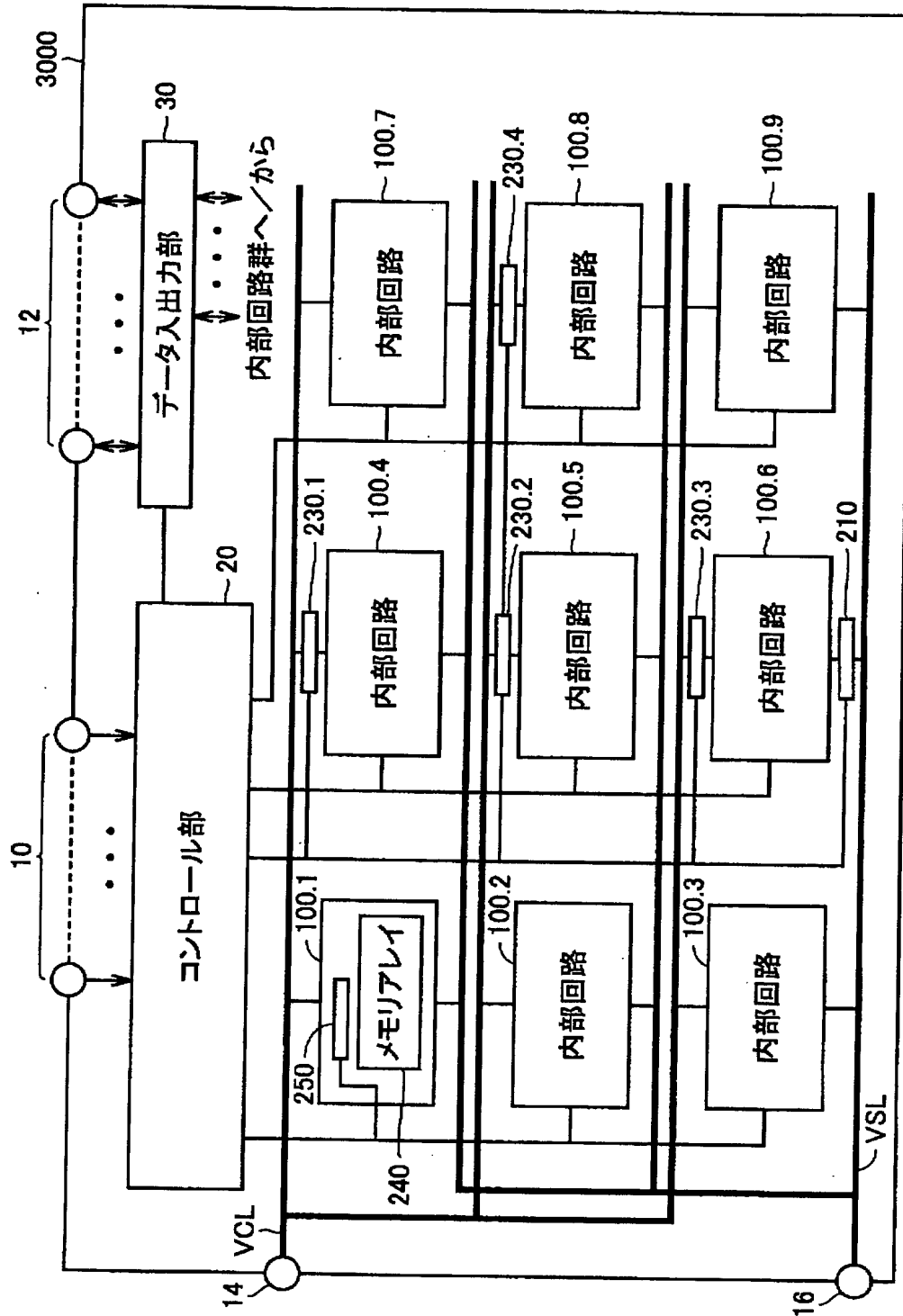
【図10】



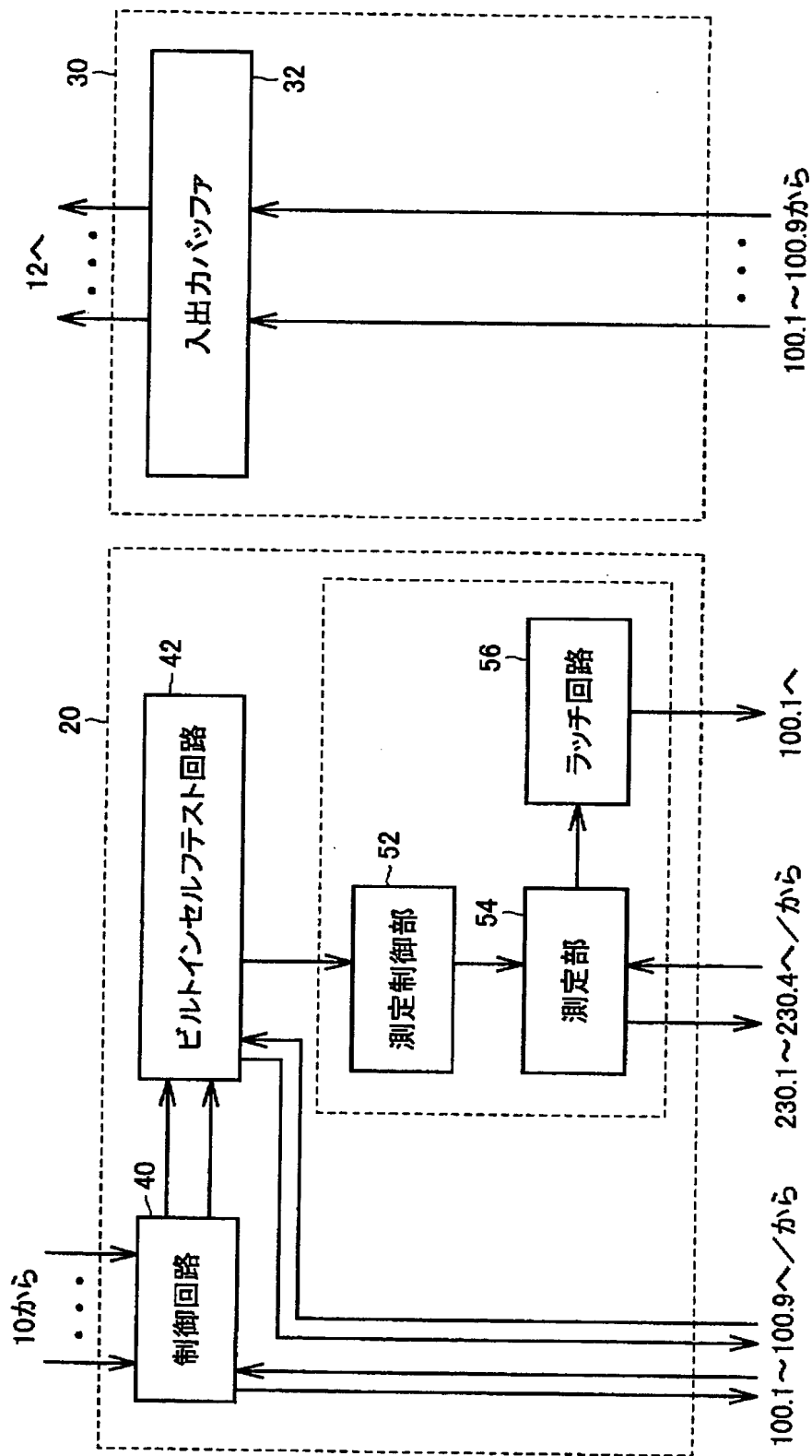
【図 11】



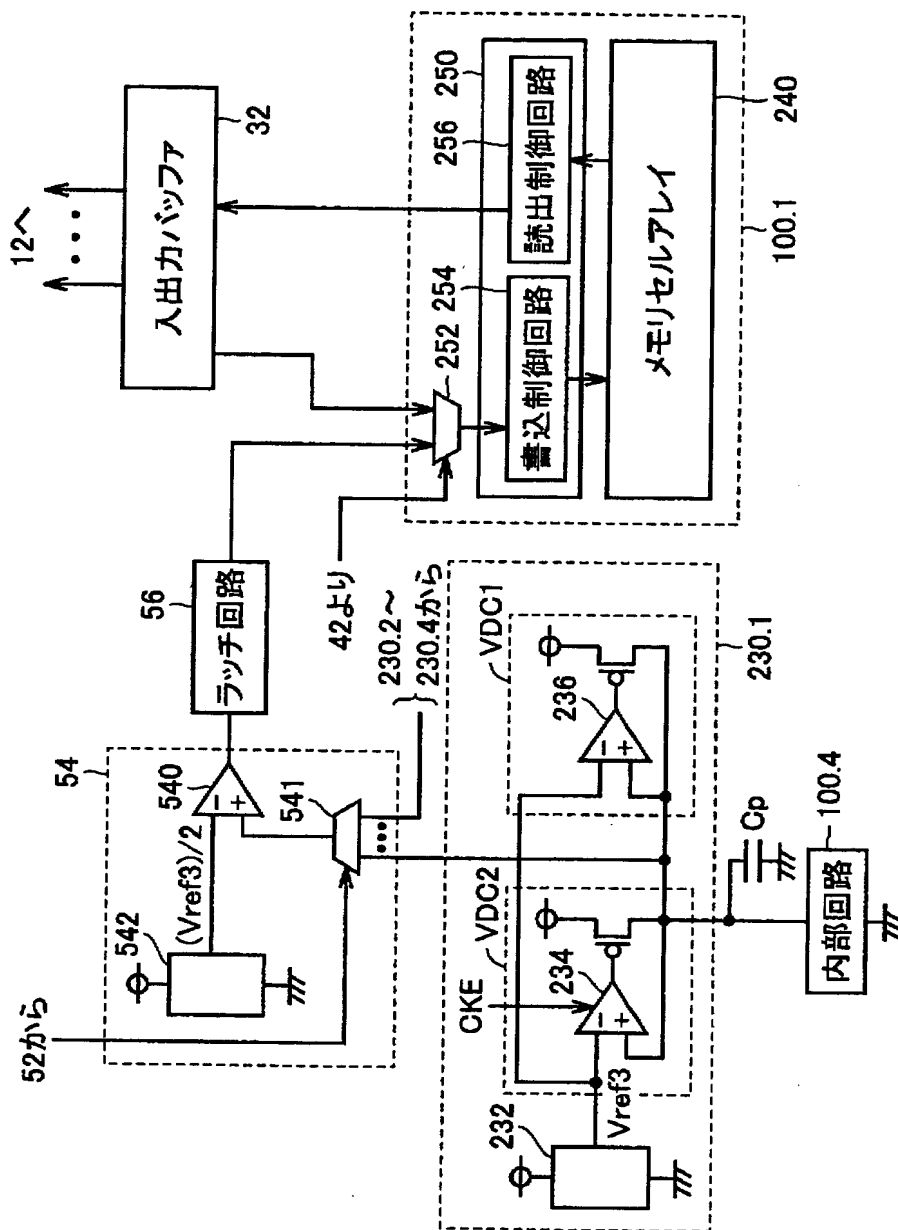
【図12】



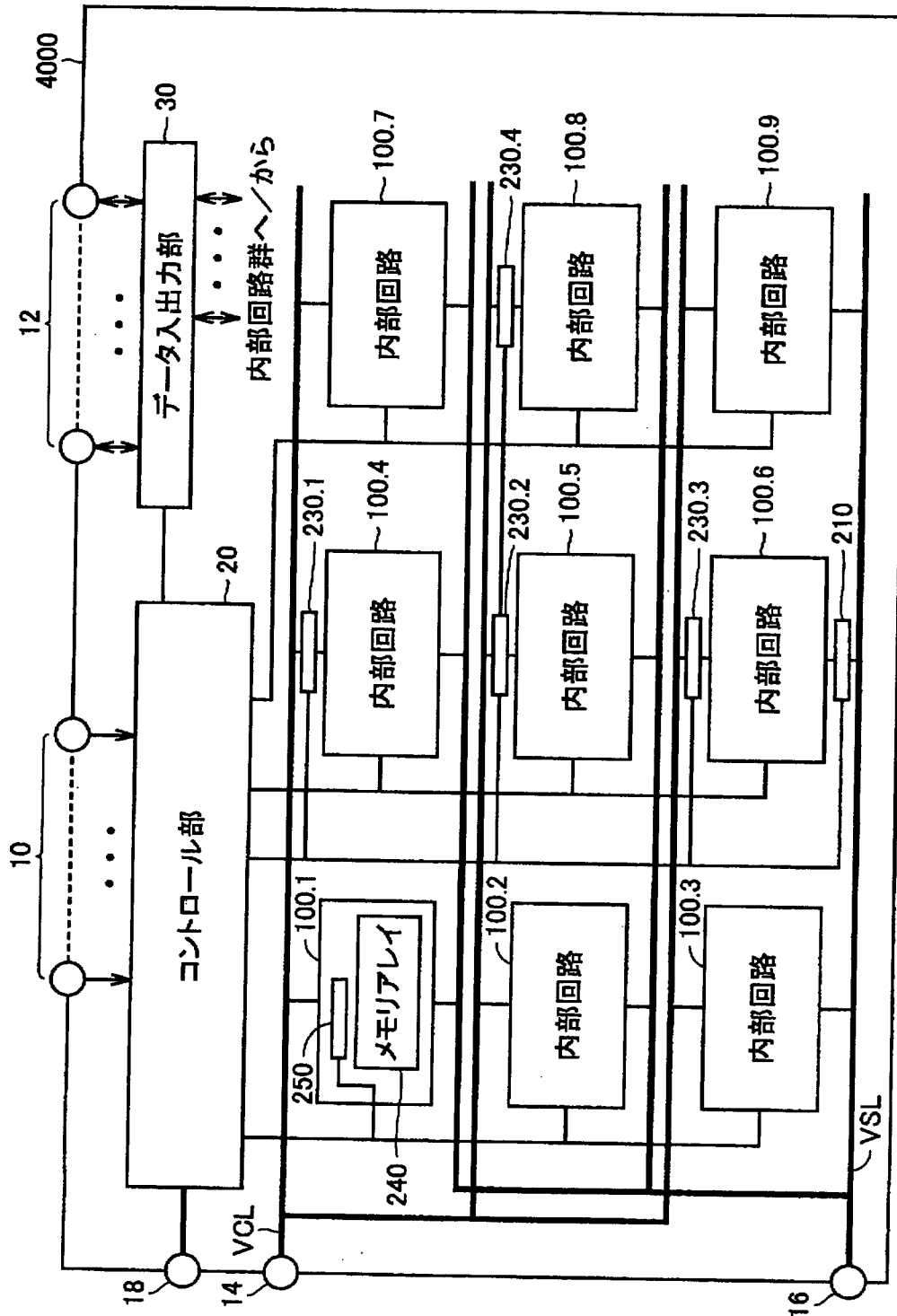
【図13】



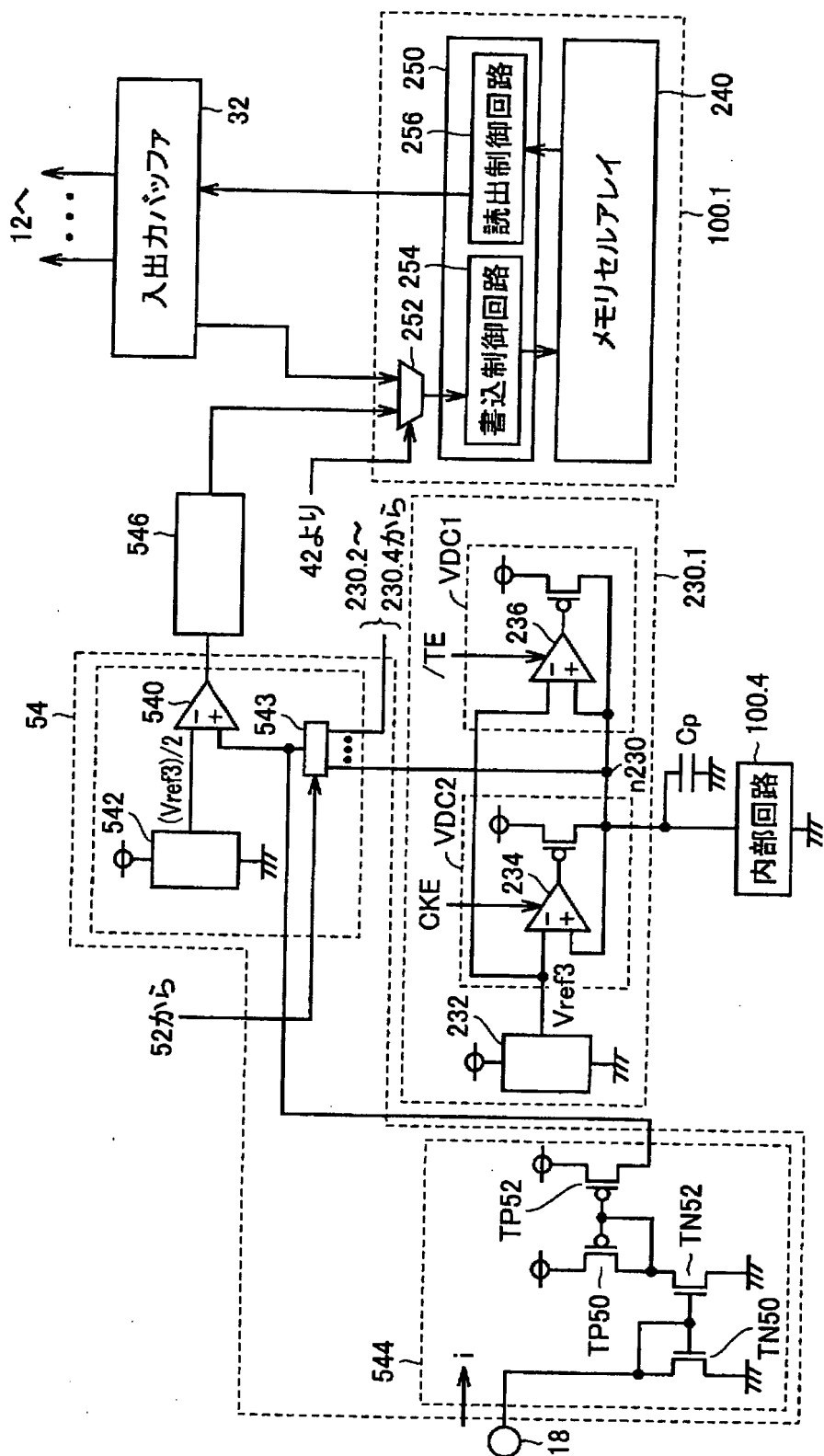
【図14】



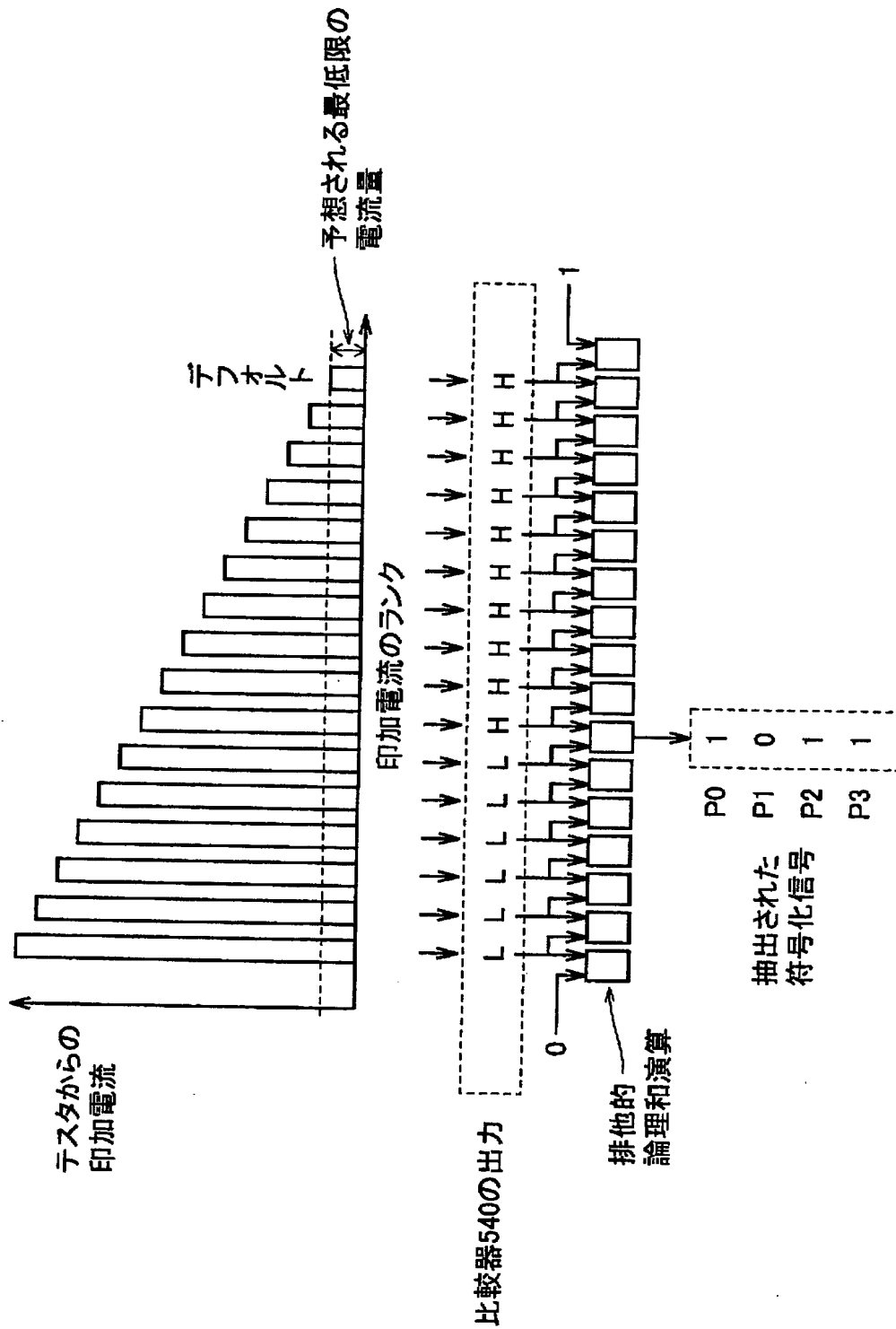
【図15】



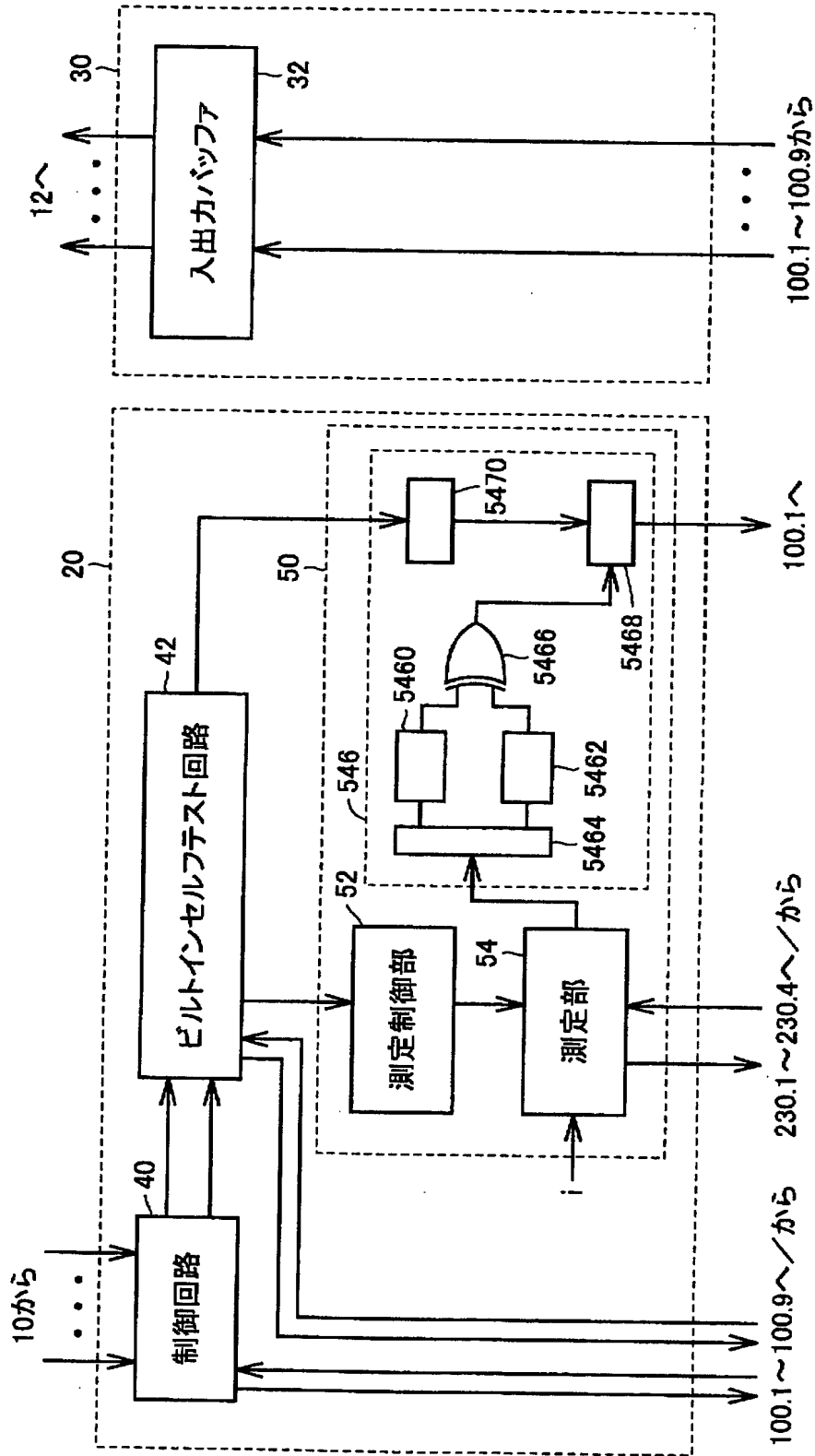
【図16】



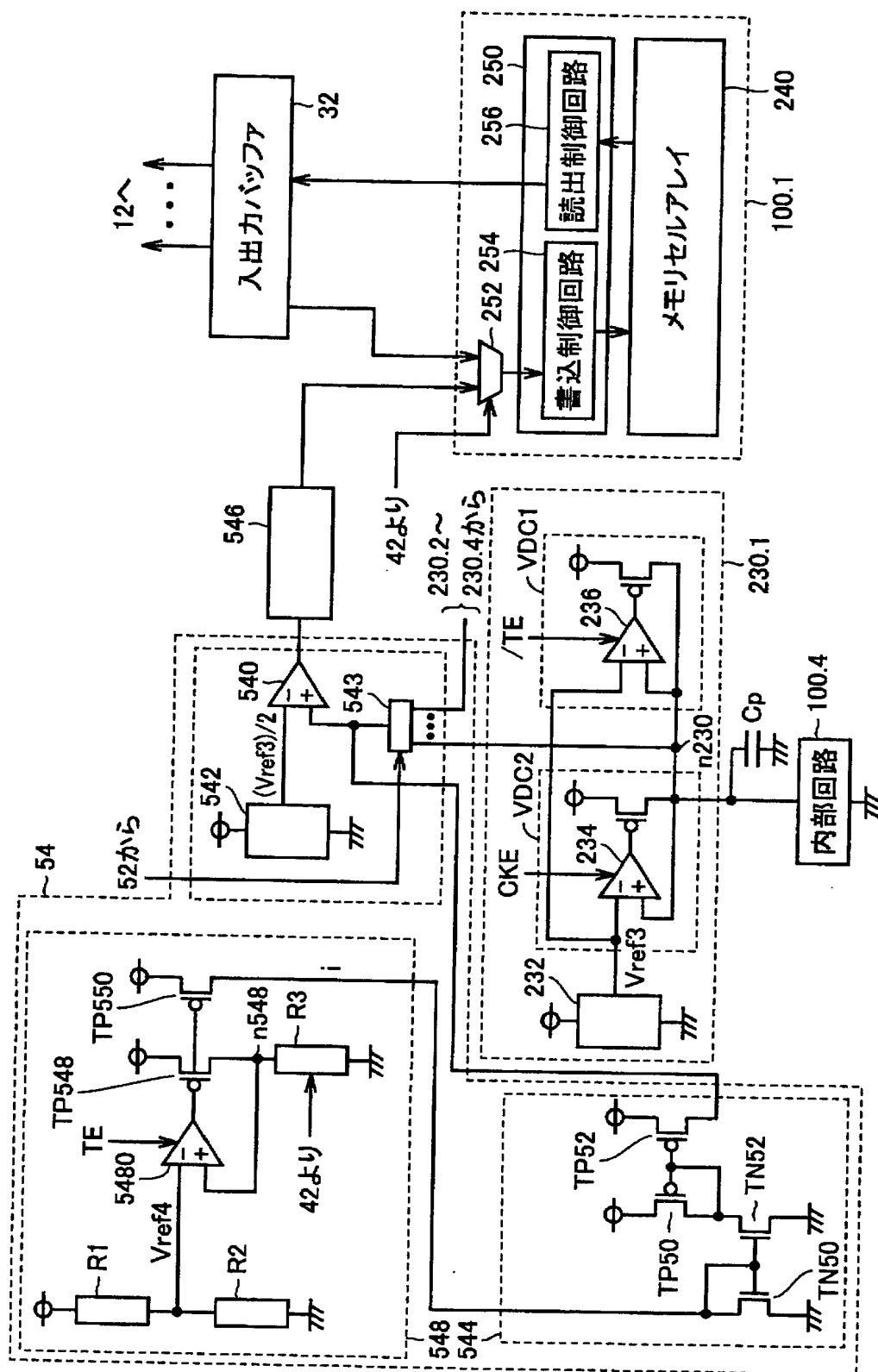
【図 17】



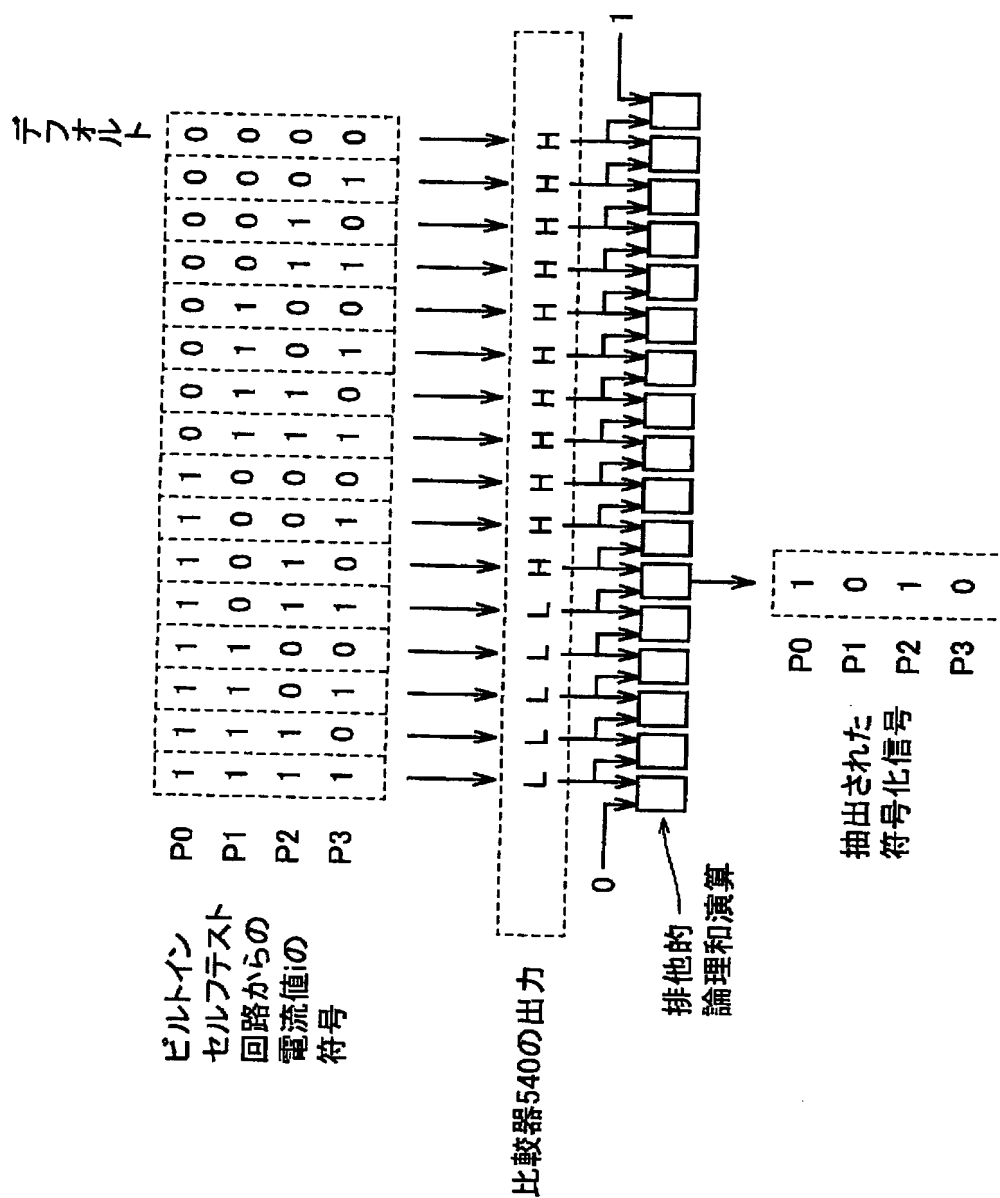
【図 18】



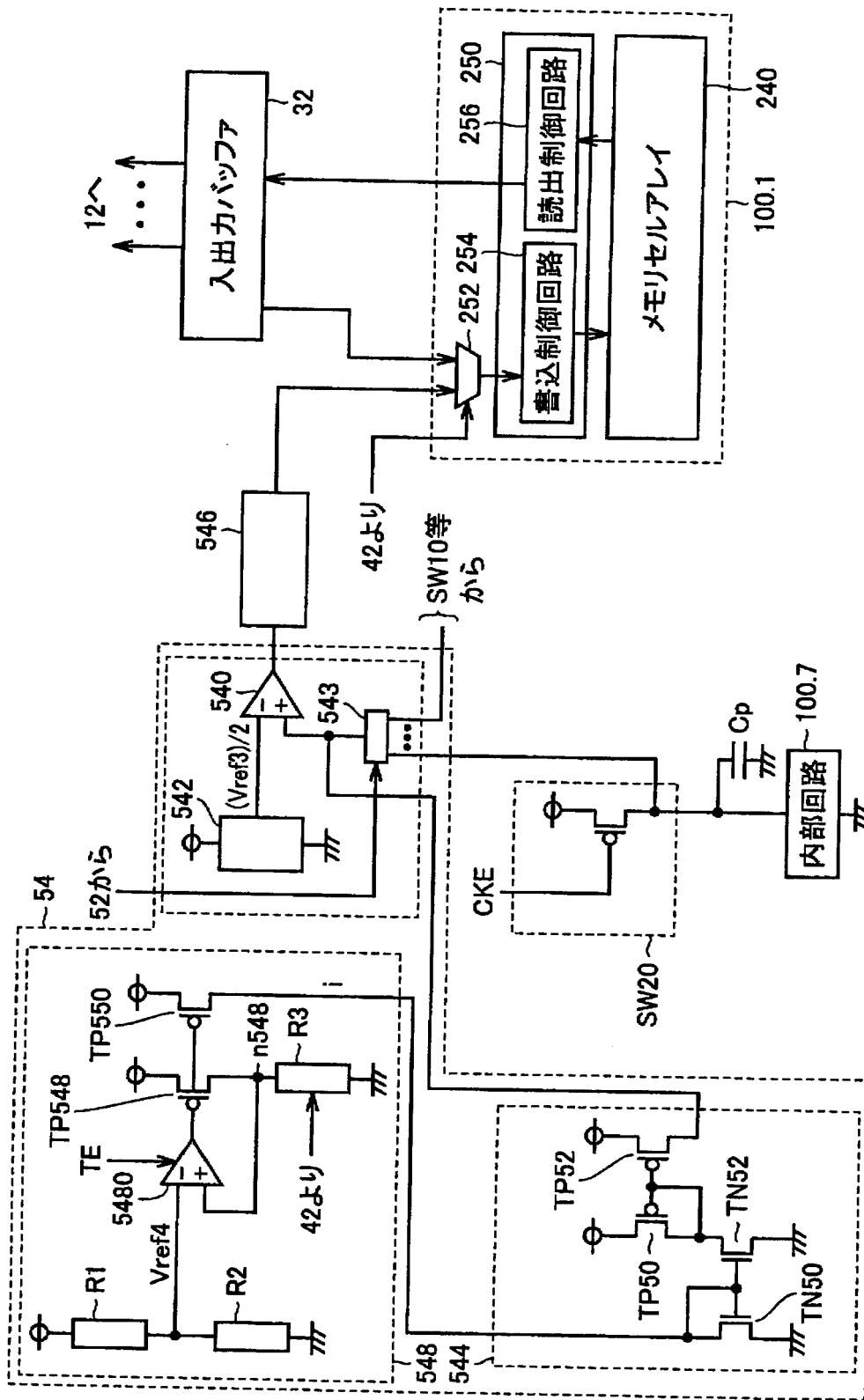
【図 19】



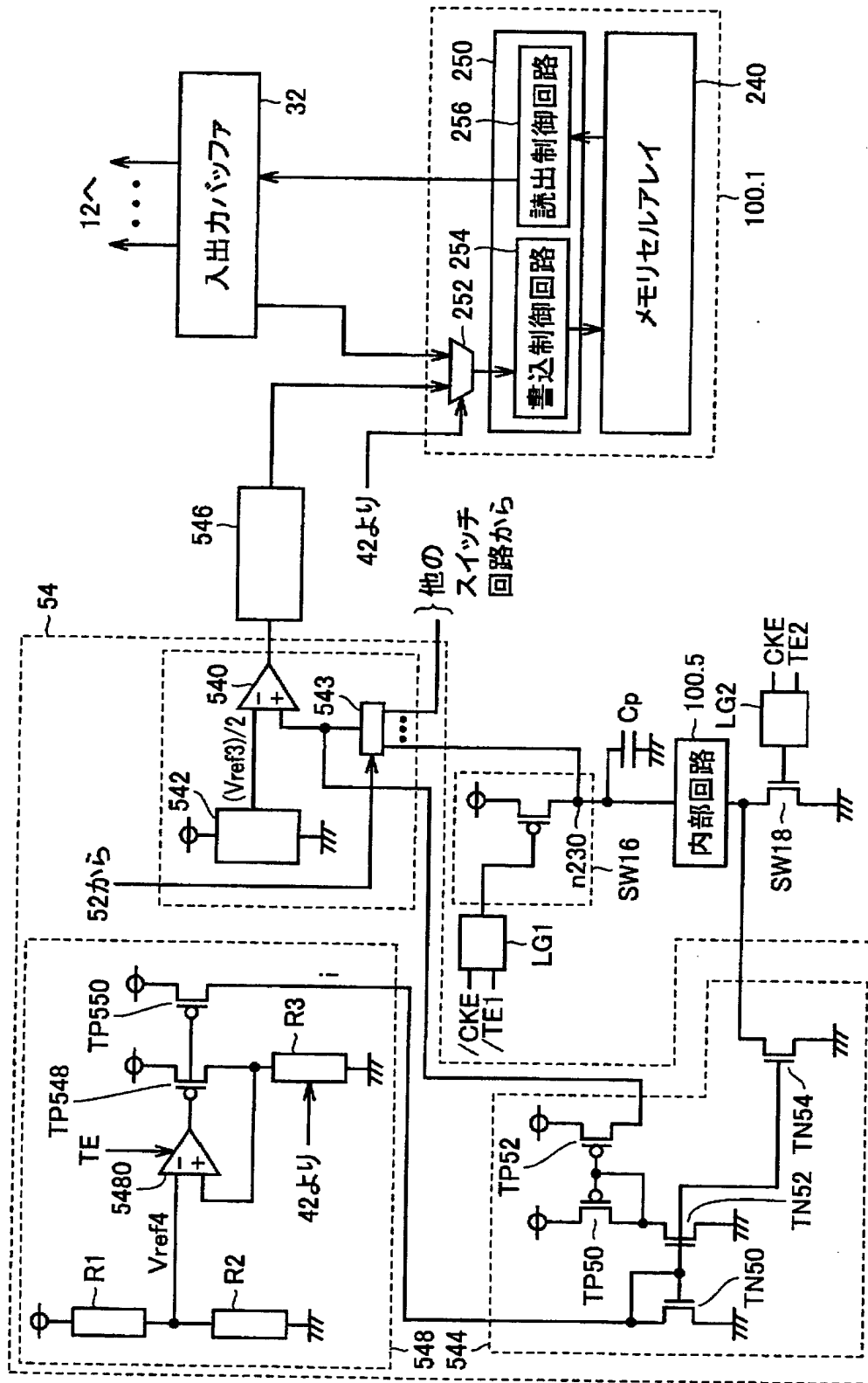
【図 20】



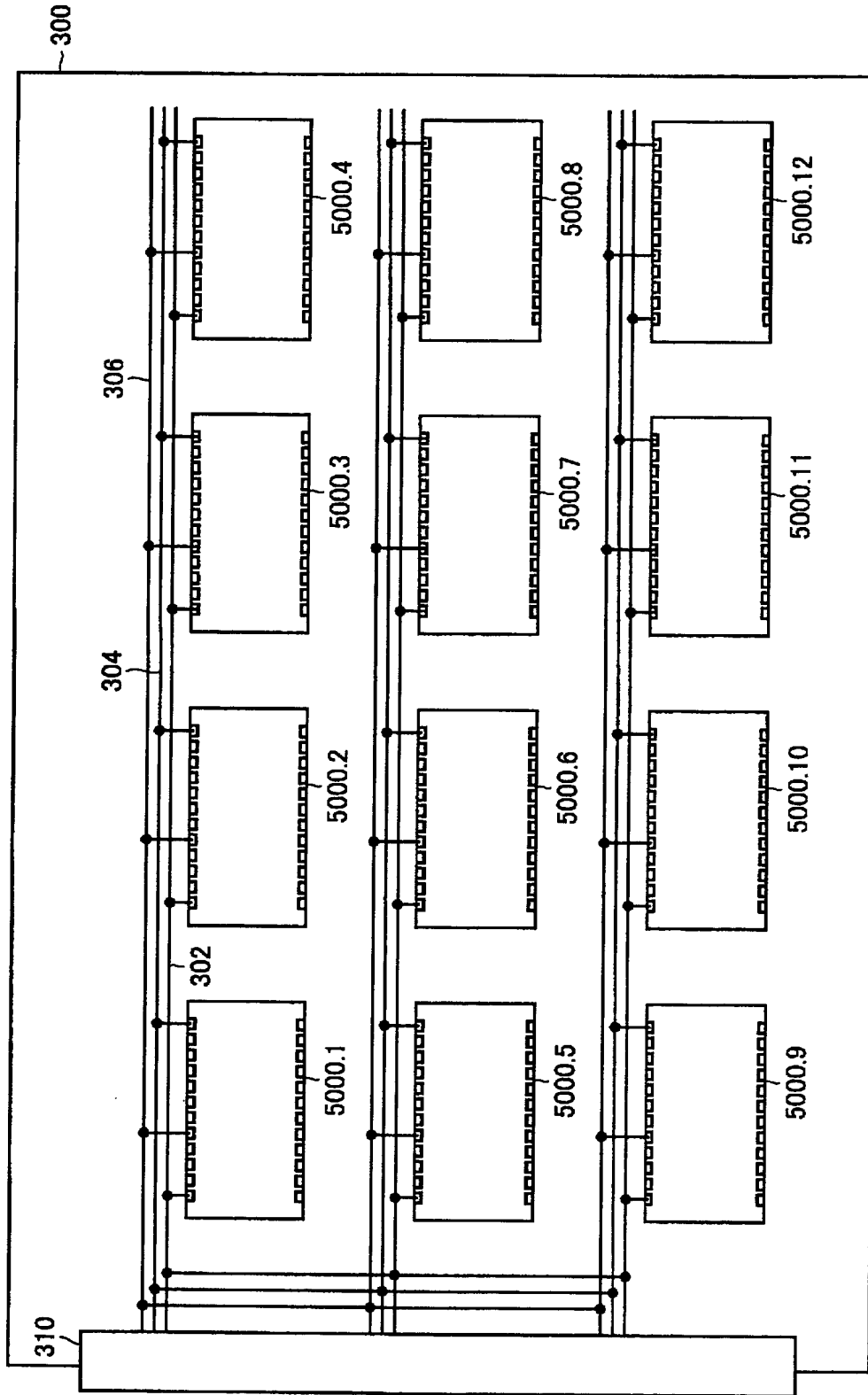
【図 2 1】



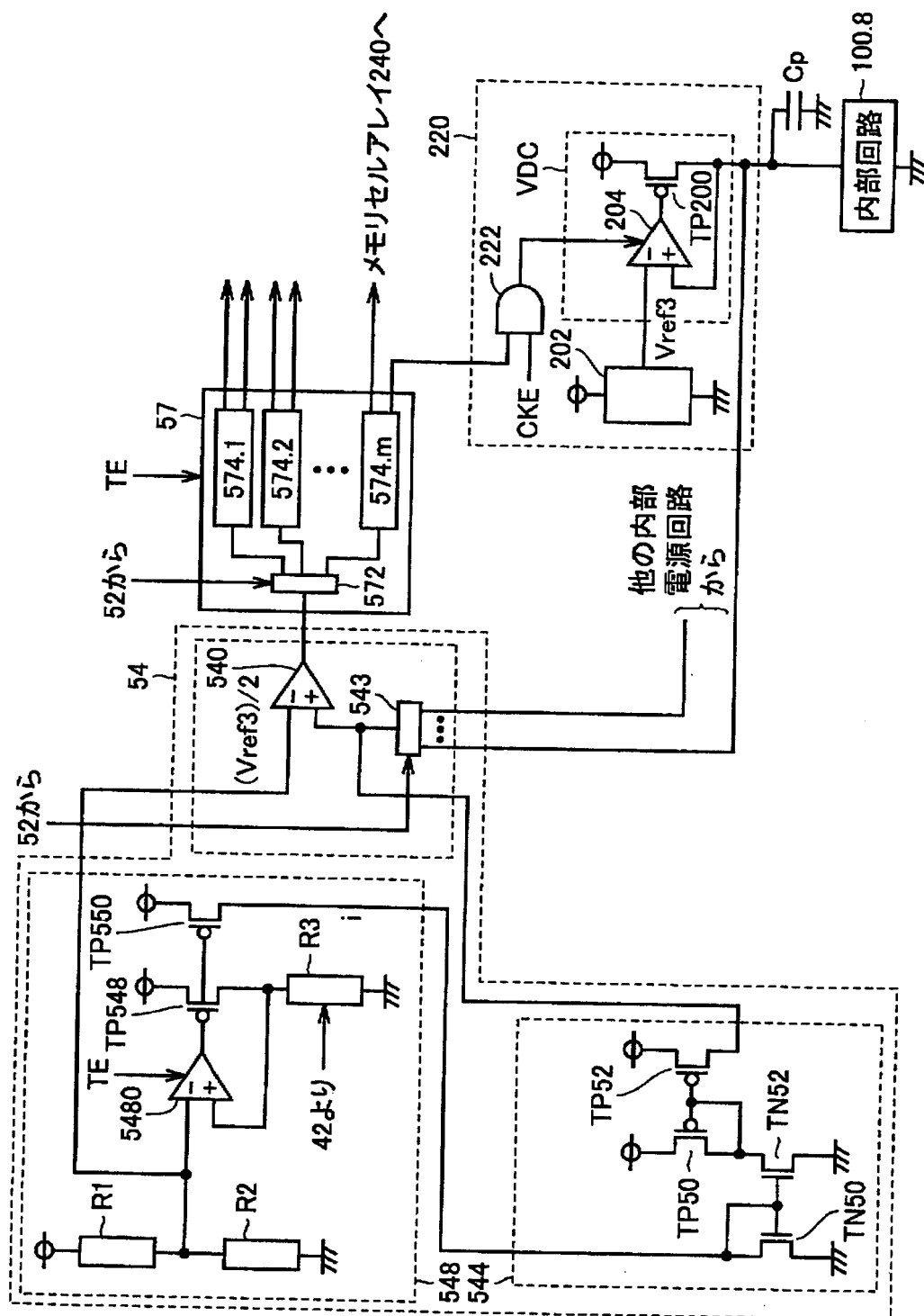
【圖 22】



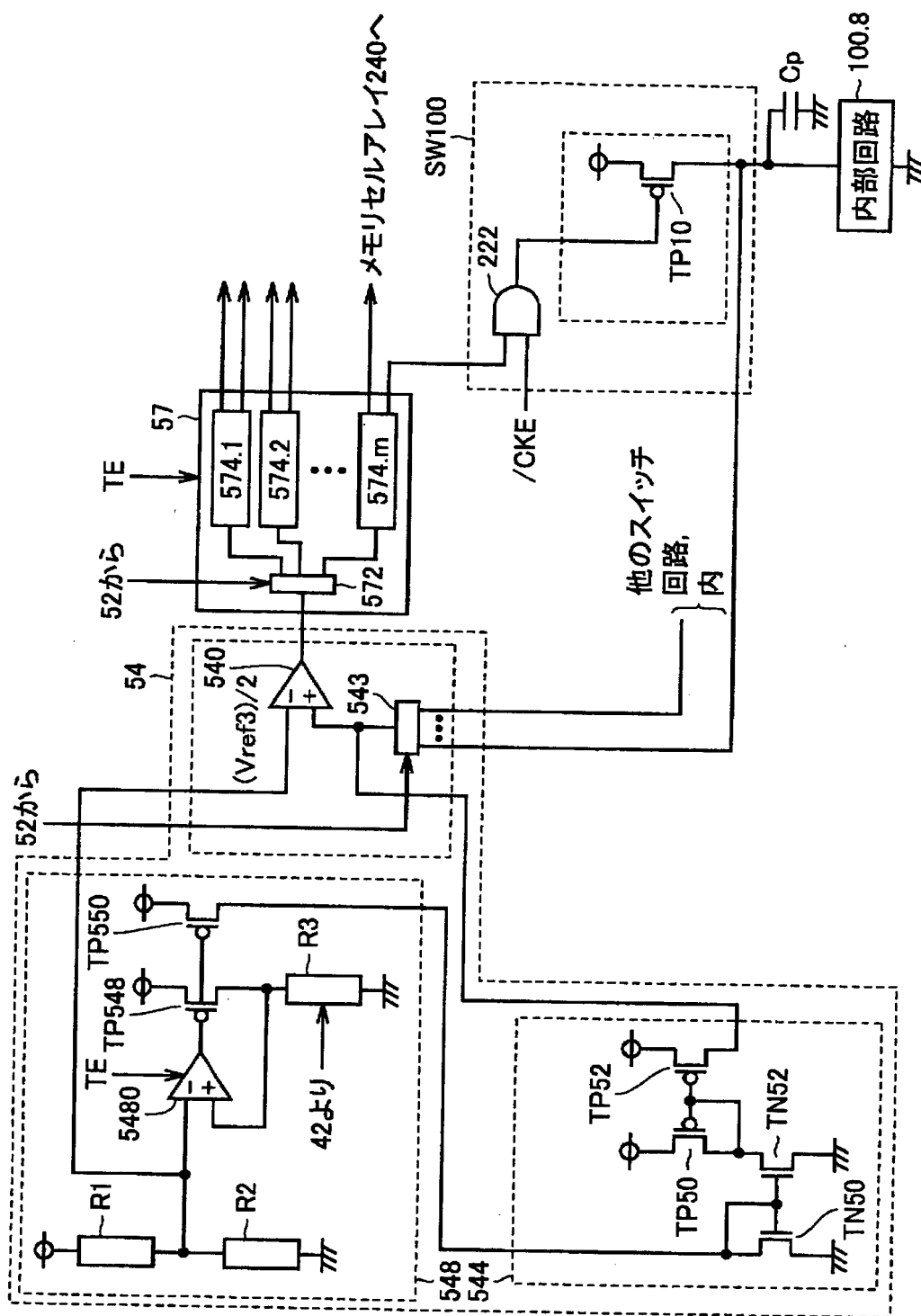
【図 23】



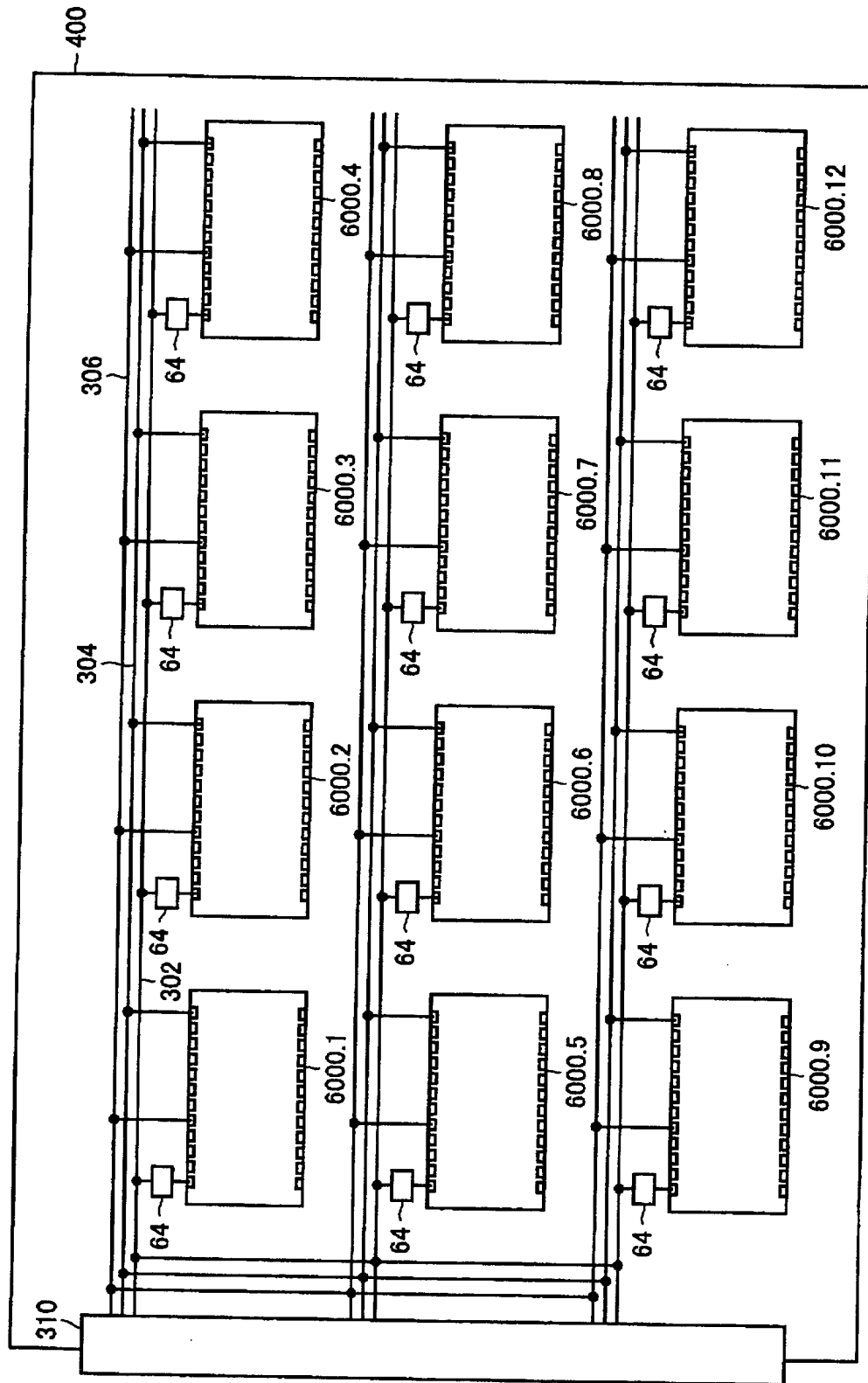
【图 24】



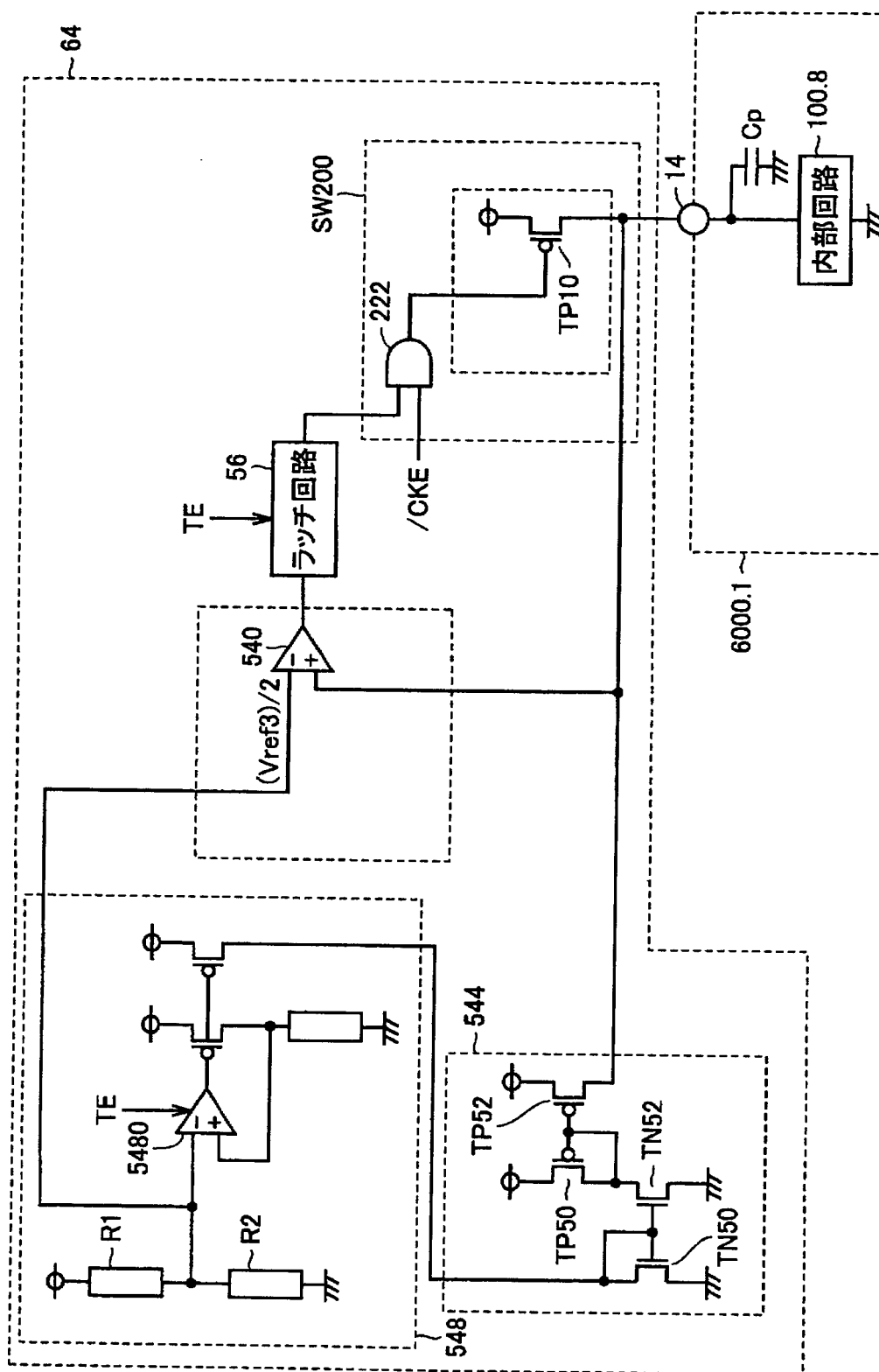
【图 25】



【図 26】



【図 27】



【書類名】 要約書

【要約】

【課題】 1チップ上に機能の異なる複数の内部回路が搭載され、かつ、内部回路によって動作電圧が異なる場合においても、各内部回路の動作を正確に評価することが可能なテスト機能を有する半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置 1 0 0 0 は、複数の内部回路 1 0 0 . 1 ~ 1 0 0 . 9 のうち所定の内部回路と電源配線 V C L との間に設けられ、外部電源電位のレベルを変換して内部電源電位を所定の内部回路に供給するための内部電源回路 2 0 0、2 1 0 および 2 3 0 と、半導体集積回路装置の自己試験を行うためのコントロール回路 2 0 とを備える。コントロール回路 2 0 は、内部電源回路が前記所定の内部回路に供給する電流量を検知し、データ入出力部 3 0 は、検知結果を外部に出力する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社